

Multiplicador Digital de Frecuencia Programable Adaptivo de Alta Precisión.

*M, en C. Miguel A. Partida Tapia
Subdirector Académico y de Investigación del CINTEC-IPN.
Dr. Adriano de Luca
UAM I.
Dr. John Goddard
UAM I.*

El uso de los multiplicadores digitales de frecuencia tiene su principal importancia en el campo del Procesamiento Digital de Señales, por la necesidad de acercar la frecuencia de muestreo a la frecuencia armónica que se interesa estudiar. Muchos tipos de multiplicadores digitales de frecuencia han sido planteados en las referencias [1] - [10], donde los descritos en [1] y [3] son los que han aportado significativamente un avance en estos últimos años. Estas dos propuestas se han tomado como base para realizar un multiplicador digital de frecuencia programable y adaptivo. Haciendo un análisis de estas dos últimas se han encontrado diferencias objetivas en la manera de resolver la minimización del error generado en la frecuencia de salida; esto sucede cuando la relación de la frecuencia del reloj maestro y la frecuencia de entrada no entregan un cociente entero. El modelo que en este documento se describe, modifica la interpretación del reloj maestro como base de referencia a los contadores, esto es, se deriva una frecuencia de reloj que resulta de dividir el reloj maestro entre el factor de multiplicación, lográndose con esto mejorar por un factor importante la

disminución del error en la frecuencia de salida y evitando el uso de circuitos de corrección adicional al circuito de multiplicación. En los dos casos mencionados se requiere de un circuito de corrección asociado a la lógica del multiplicador para lograr un mínimo error, aumentando así el tiempo de disponibilidad de la frecuencia de salida; en este modelo no se requiere del circuito de corrección, limitando con esto, también, el número de componentes. En resumen, las ventajas son:

- a).- Disminuye de manera notable el factor de error, relativo a la frecuencia de entrada y salida.
- b).- No requiere de un circuito de corrección.
- c).- Dada las características de diseño permite la integración en un solo dispositivo FPGA.

Principios de operación del Multiplicador de Frecuencia

Idealmente, un multiplicador digital de frecuencia está definido como un generador de N pulsos equidistantes de salida durante un período de una señal de entrada. Generalmente se usa un contador para medir el período de la señal de entrada en términos de los ciclos de reloj maestro.

Todo multiplicador digital de frecuencia opera de la siguiente manera: Después de una transición *bajo-alto* de la señal de entrada *fin*, el contador ascendente *upcounter #1* es puesto en *reset* y cuenta M pulsos del reloj maestro f_c , desde el punto donde la transición *bajo-alto* del reloj de entrada ocurrió. En este momento el contador ascendente tiene el valor de M , y esta cuenta es transferida al *buffer #1* antes de inicializar el contador ascendente. El número M es igual al número de pulsos generados por el reloj maestro a una frecuencia f_c en un ciclo de la señal de entrada *fin*. M es entonces un indicador de la relación entre el reloj maestro f_c y la señal de entrada *fin*, quedando expresado por [3]:

$$M \cong \frac{f_c}{f_{in}} \quad (1)$$

Entonces el multiplicador de frecuencia tendrá que generar N pulsos de salida durante un ciclo de la señal de entrada; así tendrá que generar un pulso de salida aproximadamente cada M/N ciclos de reloj maestro. Tomando en consideración a (1), se tiene:

$$\frac{M}{N} = \frac{f_c}{N * f_{in}} \quad (1.1)$$

donde

$$f_{div} = \frac{f_c}{N} \quad (1.2)$$

M se representa por un número binario de m -bits; el número M es entonces dividido por N , antes de ser aplicado a la entrada del contador descendente previamente puesto en *reset*, donde N es el factor de multiplicación por la que la frecuencia de entrada f_{in} será multiplicada para obtener la frecuencia de salida f_{out} . En [3] la división se implementa tomando como base a una potencia de base dos, $N = 2^n$; sin embargo, en [1] y en este modelo esta restricción no existe. La programación del factor de multiplicación en las propuestas [1] y [3] se realiza por *interruptores*, en la nuestra se escribe a un registro de n bits contenido en el dispositivo programable.

Al tener la cuenta solo se tiene que transferir el contenido del contador descendente *downcounter#1* ($m-n$) los *bits* más significativos de M , donde n es el número de *bits* representados por N ; los bits menos significativos en las propuestas [1] y [3] se toman para ser usados en un circuito de corrección que ajusta la cuenta de salida para disminuir su error. En la propuesta [1], la cuenta resultante es definida como un cociente entero Q y un residuo R , donde este último pasa a un circuito de corrección. Con un pulso del reloj maestro f_c el contador descendente *downcounter#1* disminuirá su cuenta en uno. En este punto se emitirá un pulso de salida y el contador descendente *downcounter#1* será puesto en *reset*. La repetición de este pulso estará dada por:

$$f_{out} = \frac{f_c}{M/N} \quad (2)$$

$$f_{out} = \frac{f_{in} * f_c}{f_{div}} = \left(\frac{f_{in}}{f_{div}} \right) * f_c \quad (2.1)$$

Una variante importante entre las propuestas [1] y [3] reside fundamentalmente en las expresiones (1.1) y (2.1). Esta variante consiste en la

descripción de la variable f_{div} , que define a la frecuencia resultante de dividir la frecuencia del reloj maestro y el factor de multiplicación, donde f_{div} alimenta a los contadores ascendentes *upcounter#1*.

Sustituyendo (1) en (2), se tiene que la salida f_{out} se define como la frecuencia de entrada f_{in} repetida N veces, quedando la expresión como sigue:

$$f_{out} = N * f_{in} \quad (3)$$

Un elemento importante a considerar es que el error relativo de la frecuencia de salida f_{out} depende de manera directa de un valor alto de la frecuencia del reloj maestro. En [3] el error relativo se genera en el caso en que los n -bit menos significativo (LSB's) de M no son tomados en la cuenta (como se muestra en la figura 1). El valor transferido al contador descendente *downcounter#1* es entonces menor o igual a la relación exacta M/N , pero cercano a la relación $(N-1)/M$. Tomando (2) se tendrá la frecuencia de salida como:

$$f'_{out} = \frac{f_c}{\frac{M}{N} - \left(\frac{N-1}{N} \right)} \quad (4)$$

así, el error máximo posible estará definido por la siguiente expresión, como se expone en [3], donde f'_{out} es la frecuencia de salida con un factor de error.

$$E_{rmax} = \left(\frac{f'_{out} - f_{out}}{f_{out}} \right) = \left(\frac{N-1}{M-(N-1)} \right) \quad (5)$$

Comprobación:

de (2) y (4) tenemos:

$$f_{out} = \frac{f_c}{M/N} = \frac{N * f_c}{M} \quad (5.1)$$

de (5.1) y (4) tenemos:

$$\begin{aligned} & \left(\frac{M(M * f'_{out} - N * f_c)}{N * M * f_c} \right) = \\ E_{rmax} &= \frac{M * f'_{out} - N * f_c}{N * f_c} = \left(\frac{M * f'_{out}}{N * f_c} \right) - 1 = \\ &= M \left(\frac{N * f_c}{N * f_c} \right) - 1 = \left(\frac{M * N * f_c}{N * f_c} \right) - 1 = \left(\frac{M}{M-(N-1)} \right) - 1 = \\ &= \left(\frac{M}{M-(N-1)} \right) - \left(\frac{M-(N-1)}{M-(N-1)} \right) = \\ E_{rmax} &= \frac{N-1}{M-(N-1)} \end{aligned}$$

Si el error máximo aceptable de pulsos de salida está dado por N , entonces el error máximo estará por debajo de $1/N$. Esto implica que:

$$E_{rmax} = \left(\frac{f'_{out} - f_{out}}{f_{out}} \right) = \left(\frac{N-1}{M-(N-1)} \right) < 1/N$$

invirtiendo se tiene :

$$\frac{M-(N-1)}{N-1} > N$$

$$M-(N-1) > N * (N-1)$$

$$M > N^2 - N + (N-1)$$

$$M > N^2 - 1 \quad (7)$$

Sustituyendo (1) en (7)

$$f_c > (N^2 - 1) * f_{in} \quad (8)$$

donde esto implica que la frecuencia del reloj maestro tendrá una dependencia del cuadrado del factor de multiplicación N . Sin embargo, esta relación puede ser disminuida utilizando para las propuestas [3] y [1] un circuito de corrección (figuras 1,3 y 4) o, en este modelo un

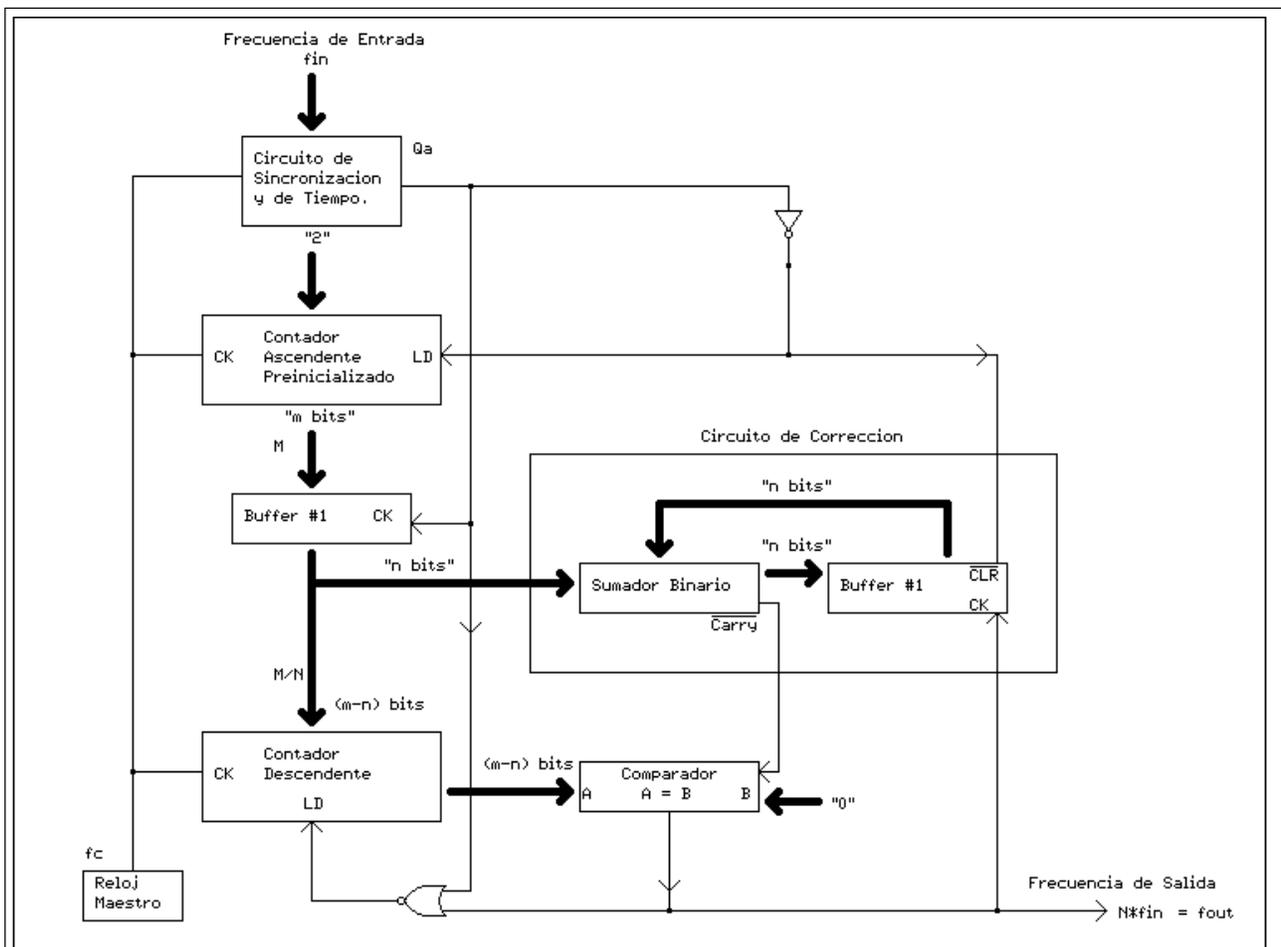


Figura 1
Diagrama a Bloques del Multiplicador de Frecuencia Ref. [3].

divisor en cascada, (figura 4 y 5), donde en ambos casos el error máximo admisible no sobrepasará la relación $1/N$; entonces la expresión (4) quedará de la siguiente manera:

$$f'_{out} = \frac{f_c}{\frac{M}{N} - 1} \quad (9)$$

y (5) quedaría entonces como:

$$E_{max} = \left(\frac{f'_{out} - f_{out}}{f_{out}} \right) < 1/N$$

Desarrollando (9) se tiene:

$$f'_{out} = \frac{N * f_c}{M - 1} \quad (9.1)$$

En la figura (5) se puede apreciar que el error asociado de la relación f_c/N estará dado por ± 1 pulso del reloj maestro f_c , pudiendo ser compensado en el factor de multiplicación N . Esta compensación es posible debido a que el factor de multiplicación se pasa en binario a través de m Latch's, donde $N = (N)_2$, dicha cuenta es pasada a m contadores, los cuales tienen la particularidad de contar de manera ascendente o descendente, y al concluir la cuenta determinan el valor de $f_{div} = f_c/N$.

La cuenta a transferir a los contadores podrá estar dada por:

Para modo *Upcounter*

$$[(2m - 1) - (N)2] - 1 ;$$

y para modo *Downcounter*

$$(N)2 + 1 ;$$

El período de f_{div} estará definido por la expresión:

$$\begin{aligned} 1/f_{div} &= t_{div} \\ t_{div} &= N/f_c \\ t_{div} &= N * t_c \end{aligned}$$

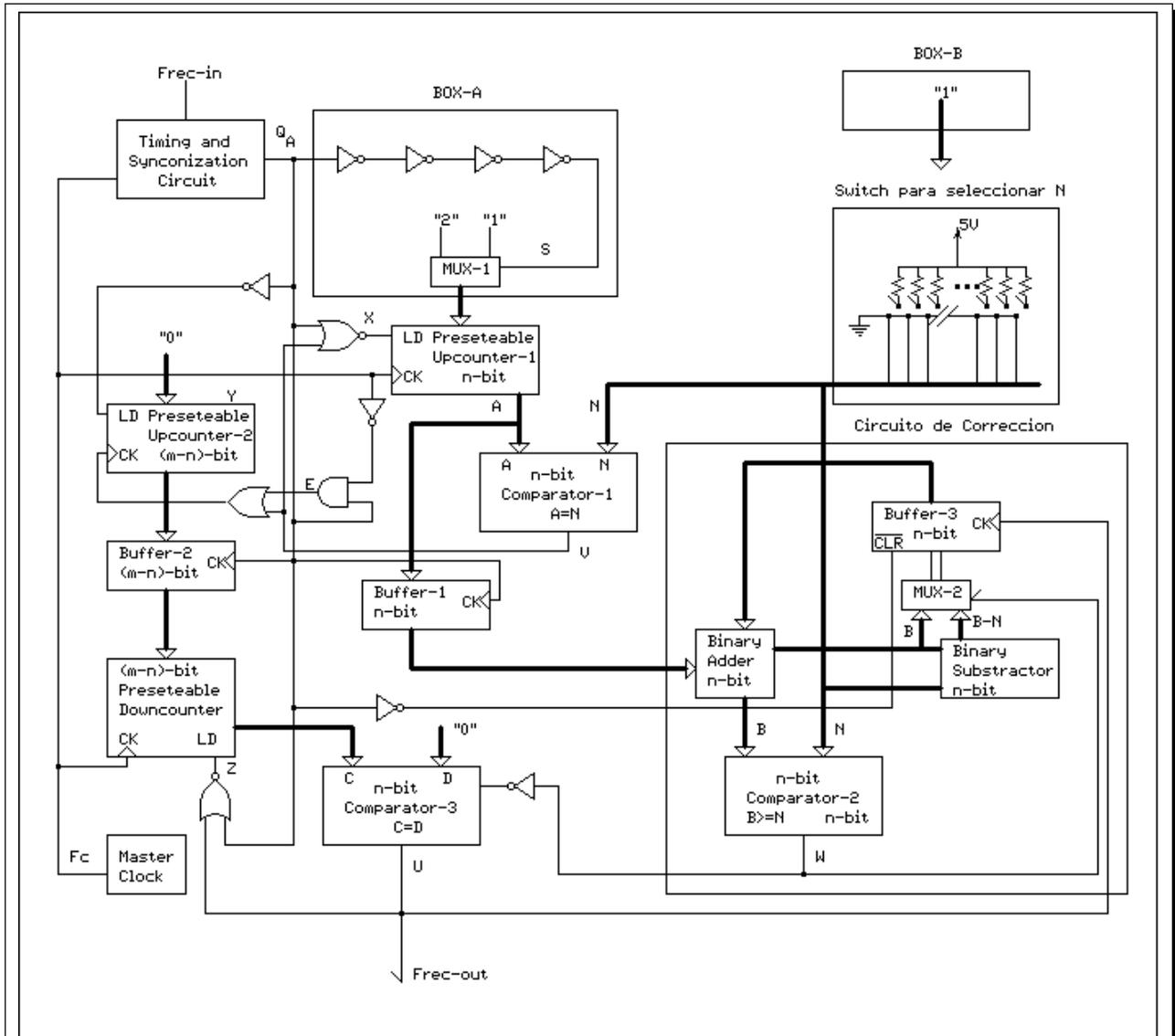


Figura 2
Diagrama a Bloques del Multiplicador de Frecuencia Ref. [1].

donde t_{div} y t_c son los períodos de el divisor en cascada y del reloj maestro, respectivamente.

De la figura (4), se tiene que la expresión

$$f_{out} = \frac{f_{in} * f_c}{f_{div}} = \left(\frac{f_{in}}{f_{div}} \right) * f_c$$

la expresión se deriva en:

$$\frac{1}{f_{out}} = \left(\frac{1/f_{div}}{1/f_{in}} \right) * \frac{1}{f_c}$$

$$t_{out} = \left(\frac{t_{in}}{t_{div}} \right) * t_c$$

(10)

Si C_{in} es la cuenta que entregan los contadores y pasa al *buffer#1* de la figura 4, entonces:

$$C_{in} = \frac{t_{in}}{t_{div}} = \frac{t_{in}}{N * t_c}$$

$$f_{out} = \frac{1}{C_{in} * t_c} \tag{11}$$

y la frecuencia de salida se tendrá pasando la cuenta a los contadores

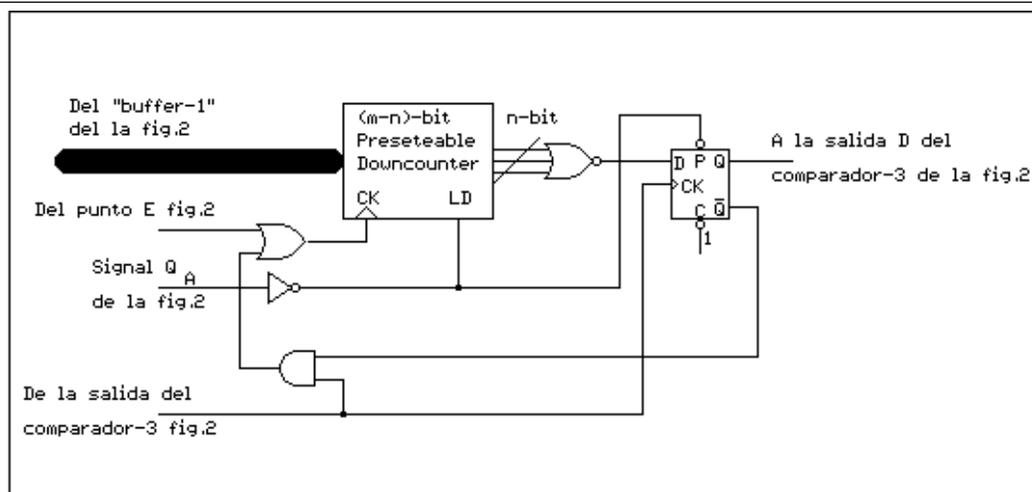


Figura 3 Diagrama a Bloques del Circuito de Corrección del Multiplicador de Frecuencia Ref. [1].

descendientes *downcounter#1* a una frecuencia de reloj f_c , como se define en la expresión (10) y (11). El error máximo asociado a esta propuesta estará definido de igual manera como para las propuestas [1] y [3], quedando como sigue:

$$E_{\max} = \left(\frac{f'_{\text{out}} - f_{\text{out}}}{f_{\text{out}}} \right) < 1/N$$

tomando las expresiones (9.1) y (2.1) se tiene:

$$E_{\max} = \frac{1}{M-1} \tag{12}$$

donde:

$$E_{\max} \cong \frac{1}{M}$$

lo cual permite establecer que:

$$\frac{1}{M} < \frac{1}{N}$$

donde se fija que el número aceptable de pulsos de salida por período de entrada es igual a N , entonces la desigualdad deberá satisfacer:

$$M > N \tag{13}$$

lo cual implica que la frecuencia de reloj maestro estará dado por:

$$\frac{f_c}{f_{\text{in}}} > N$$

$$f_c > N * f_{\text{in}} \tag{14}$$

Comparando con la expresión (8) se tiene que el tamaño de la frecuencia de reloj f_c se reduce por un factor de N y así mismo el error para una frecuencia dada junto con el error relativo.

De la expresión (11) se define entonces que la frecuencia del reloj maestro :

$$f_{\text{out}} = \frac{f_c}{C_{\text{in}}}$$

donde:

$$C_{\text{in}} = \frac{f_c}{f_{\text{out}}}$$

y

$$t_{\text{div}} = \frac{t_{\text{in}}}{C_{\text{in}}}$$

teniéndose que:

$$f_{\text{div}} = \frac{C_{\text{in}}}{t_{\text{in}}} \tag{15}$$

$$f_{\text{div}} = C_{\text{in}} * f_{\text{in}}$$

$$C_{\text{in}} = \frac{f_{\text{div}}}{f_{\text{in}}}$$

resultando:

$$\frac{f_{\text{div}}}{f_{\text{in}}} = \frac{f_c}{f_{\text{out}}} \tag{16}$$

En la expresión (16) se establece la relación entre los dos principales contadores y la transferencia de la cuenta de la etapa de entrada a la de (13) salida.

De lo anterior se puede determinar el tamaño de la cuenta y como esta influye en la definición del reloj maestro y la frecuencia de entrada.

De la expresión (15), se tiene:

$$C_{\text{in}} * f_{\text{in}} = \frac{f_c}{N}$$

reordenando se tiene:

$$N * C_{\text{in}} = \frac{f_c}{f_{\text{in}}}$$

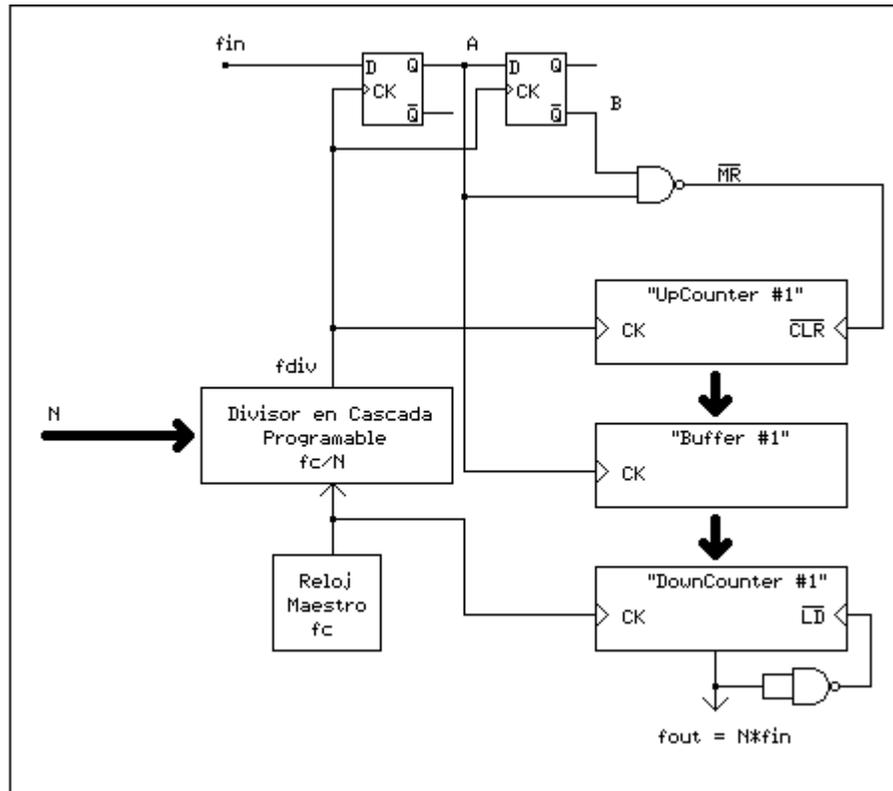


Figura 4

Diagrama a Bloques del Circuito del Multiplicador de Frecuencia de la presente propuesta de este documento.

de (1)

$$N * C_{in} = M$$

resultando

$$C_{in} = \frac{M}{N} \quad (17)$$

La resolución del multiplicador digital de frecuencia reside precisamente en la cuenta que se tiene de la expresión (17) y de la cual se deriva la limitación de este mismo. Lo anterior establece que si la cuenta esta definida por m bits, la máxima cuenta a alcanzar será $2^m - 1$, por tanto los contadores y registros tendrán la siguiente expresión:

$$M = N * (2^m - 1) \quad (18)$$

donde

$$fc = N * (2^m - 1) * fin$$

y

$$fdiv = (2^m - 1) * fin \quad (19)$$

La particularidad de esta propuesta se vuelve a mostrar en la expresión (19), donde el uso de un divisor en cascada del reloj maestro permite que el registro de los contadores se limite a solo el tamaño de la cuenta C_{in} , a diferencia de lo expresado en (18).

Implementación en Hardware

Como se muestra en la figura 6, la implementación del multiplicador digital de frecuencia adaptivo se rea-

lizó en principio con lógica discreta utilizando 6 contadores de 8 bits, 2 buffers y un oscilador de 24 Mhz como reloj maestro, sin embargo, la alimentación del reloj maestro se puede realizar por medio de un generador de pulsos. La GAL22V10 se utilizó para realizar una división entre 2,4,8 y 16 a la frecuencia del reloj maestro, de tal forma que la alimentación de los contadores usados como divisores pudiese alcanzar la cuenta en los 16 bits disponibles; este subsistema constituye el divisor en cascada del reloj maestro definido en la expresión (1.2). La frecuencia resultante $fdiv$ se obtiene de ubicar una cuenta inicial del factor de multiplicación en los divisores a través de *dip-switchs* (16), tomando en cuenta la división previa seleccionada en la GAL22V10 por medio de los *puentes JMP1* (véase Apéndice

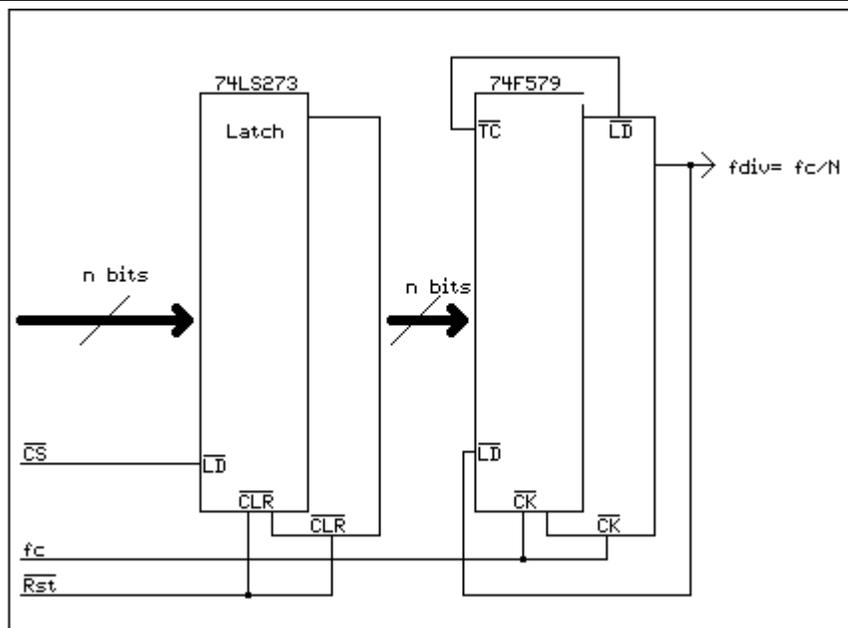


Figura 5

Diagrama a Bloques del Circuito Divisor en Cascada Programable del Multiplicador de Frecuencia de la propuesta de este documento.

A), lo cual implica que la cuenta resultante será el resultado de $N/2$, $N/4$, $N/8$ y $N/16$. Para aplicaciones acotadas a 16 bits, se puede omitir la división previa y utilizar los divisores a su máxima resolución.

La frecuencia f_{div} es alimentada a los contadores ascendentes *up-counter #1*, los que iniciarán su cuenta con una transición de *fin* de *alto-a-bajo* y concluirán la cuenta con una transición de *bajo-a-alto* de *fin*, un tiempo después se producirá una *puesta-a-cero* de los contadores para reiniciar la cuenta.

La cuenta generada *Cin* se transfiere a los *buffers* y un tiempo después será transferida a los contadores descendentes *downcounter #1*, que a una frecuencia de reloj fc , son decrementados en uno en cada ciclo, alcanzando la frecuencia de salida *fout*.

La aplicación aquí propuesta es factible a ser implementada en un dispositivo FPGA, lo cual permitirá reducir la solución final a solo 2 dispositivos, por otro lado permitirá incrementar la frecuencia de operación de los dispositivos de 40 Mhz a 80 Mhz.

EMAIL: dlap @ xamum , uam , mx

Referencias.

- [1] Masud Mahmud, Syed. "A Programmable Self-Adaptive Digital Frequency Multiplier," IEEE Trans. Instrum. Meas., vol. 37, no. 2, pp.237-230, June 1988.
- [2] Lo, H.Y. and Lu, J.H. "A simple design for a digital programmable frequency multiplier," Int. J. Electron., vol. 46, no. 5, pp 535-542, Dec. 1979.
- [3] Boutin, N. and A. Boucher, "A novel digital frequency multiplier," IEEE Trans. Instrum. Meas., vol. IM-35, no. 4, pp. 556-570, Dec. 1986.
- [4] Bilgic, O. "A synchronous frequency multiplier using phase-locked loop," Int. J. Electron., vol. 52, pp. 569-573, 1982.
- [5] Muniappan, K. and Kitai, R. "Digital frequency multiplier for spectrum measurement of periodic signal," IEEE Trans. Instrum. Meas., vol. IM-29, no. 3, pp. 195-198, Sept. 1980.
- [6] Gimmel, B.A. "A digital method of frequency multiplication and its application to numeric spectrum analysis of periodic signal," IEEE Trans. Instrum. Meas., vol. IM-26, no. 2, pp. 181-183, June 1977.
- [7] Krishnamurthy, K.A., G.K. Dubey, and G.N. Revankar, "A simple frequency multiplier," Int. J. Electron. Vol. 43, no. 2, pp. 201-205, 1977.
- [8] Even, R.K. "A modified novel frequency multiplication technique." IEEE Trans. Circuits Syst., vol. CAS-22, no. 12, pp. 954-959, Dec. 1975.
- [9] Seth, S. et al., "A low-cost pulse frequency multiplier," Proc. IEEE, vol. 66, no. 11, pp. 1578-1580, Nov. 1978.
- [10] Boutin, N. et al., "A bit-rate multiplier for digital data processors," in Proc. Electroni-com '85 (Toronto, Canada), Oct. 7-9, 1985, pp. 470-473.