

# El Bus PCI Express: Generalidades

M. en C. Jesús Antonio Álvarez Cedillo  
Ing. Macario García Arregui  
Profesores del CIDETEC-IPN

**E**l bus PCI (*Peripheral Component Interconnect*) ha sido el sistema estándar usado durante los últimos diez años, pero de acuerdo al tiempo de vida en el diseño de este, está comenzando a ser obsoleto. Las extensiones al modelo de PCI clásico, como son los conectores de 64 bits en velocidades de 66 a 100 MHz son muy caras, por lo que no van a la par de la tecnología que surge cada año y que cada vez es menos costosa. La 3ª generación de los dispositivos de entrada y salida llamados 3GIO<sup>1</sup> ("3 Generation Input Output"), ha creado una variación al bus PCI llamada PCI Express. Intel ha asegurado que sus productos contarán con el soporte para este nuevo bus, También la nueva versión de Windows, conocido como Longhorn, lo soportará sin problemas.

---

## HISTORIA

---

Desde que surgió la primera computadora personal en 1980, han existido muchos cambios en la forma como son transmitidos los datos entre una computadora y sus dispositivos periféricos, con el fin de mejorar la velocidad de transmisión y la eficiencia de los datos. El bus USB<sup>2</sup>, el Serial ATA o la RDRAM

son ejemplos del cambio desde una arquitectura en paralelo a un formato serie de alta velocidad. Los dispositivos anteriores fueron diseñados para permitir el máximo ancho de banda y ofrecer escalabilidad entre los nuevos modelos de computadoras que surgen año con año.

La compañía Intel presentó en el año de 1991, la especificación 1.0 del bus PCI. El grupo *PCI Special Interest Group*, se encargó a partir de ese momento del desarrollo de las nuevas características del Bus, más tarde anunció la nueva revisión, la 2.0, en mayo de 1993.

En ese tiempo el bus más popular era el Bus VESA (Local Bus (VL-bus o VLB)), esta tecnología fue creada por la asociación de estándares de Video (*Video Electronics Standards Association*), y consistía en un bus de 32 bits integrado a los dos conectores de los buses ISA clásicos, que operaba a una velocidad de 33 MHz, con un rendimiento muy significativo sobre el Bus ISA.

Curiosamente esta última característica fue, irónicamente, la razón principal de su hundimiento, ya que en esencia fue una extensión directa del bus externo del procesador 486, y funcionaba, por tanto, a la misma velocidad que el procesador por lo que de ahí viene su nombre de local bus. Se presentó el problema de la sobrecarga del bus: no se podían conectar demasiados dispositivos,

pues podía ocurrir que las pérdidas de corriente hicieran las señales completamente ininteligibles para los dispositivos o para el procesador. VESA aconsejaba no usar más de dos dispositivos si se trabajaba a 33 MHz, aunque se podía subir hasta tres si se añadían buffers intermedios.

Sin embargo, el problema más grave era que, al trabajar a la misma velocidad que el procesador, surgieron serios problemas, pues a mayor velocidad de los periféricos, más caros serán. En la práctica, se fabricaron muy pocos dispositivos capaces de trabajar a 40 o más MHz.

El bus PCI tiene varias ventajas sobre el bus anterior, para empezar, está aislado del bus de la CPU, pero permite a los periféricos acceder a la memoria del sistema. Además, también es capaz de actuar asincrónicamente respecto del procesador, pudiendo trabajar a 25, 30 o 33 MHz. Esto significa que la velocidad del bus se mantiene constante aunque aumenta la velocidad del procesador.

Además, el bus PCI permite 5 o más conectores, duplicando la oferta del bus local, y además, sin restricciones respecto a la velocidad del procesador.

Otra característica del PCI es la simplicidad de uso. El Plug and Play permite la configuración automática de los periféricos, sin que el usuario necesite asignar la IRQ, el DMA o los

puertos de entrada y salida. Además permite que varios periféricos compartan la misma interrupción, corrigiendo así los errores clásicos que tenían las microcomputadoras.

Una característica adicional es el "bus mastering", la cual permite a los dispositivos tomar control del bus y realizar transferencias entre ellos y otros dispositivos, o la memoria, sin que intervengan los procesos de la CPU, lo que reduce la latencia y la carga de trabajo del procesador.

Su introducción en los sistemas Pentium, junto con sus claros beneficios sobre sus rivales, ayudaron al PCI a ganar la guerra de los buses en 1994. Desde entonces, prácticamente todos los periféricos, desde controladores de disco duro y tarjetas de sonido hasta tarjetas de video, han sido fabricadas para este bus.

---

### LAS LIMITACIONES DEL BUS PCI

---

Con la aparición de los sistemas RAID, la Gigabit Ethernet y otros dispositivos de alta velocidad, los 133 MB/s del PCI se volvieron claramente insuficientes para manejar semejante cantidad de datos. Por eso los fabricantes de circuitos han buscado la manera de contrarrestar esta limitación.

Hasta 1997 [1], los datos de la tarjeta gráfica constituían el mayor porcentaje del tráfico del bus PCI. El Accelerated Graphics Port (AGP), presentado en el circuito 440 LX de Intel, tenía dos objetivos principalmente: aumentar el rendimiento gráfico y desplazar los datos gráficos fuera del bus PCI. Al realizarse las transferencias para los gráficos a través de otro «bus» (técnicamente, AGP no es un bus pues sólo permite un único dispositivo), el antes saturado PCI quedaba liberado para

así poder atender mejor a los otros dispositivos.

Pese a todo, el AGP sólo fue un paso. El siguiente consistió en rediseñar el enlace entre el North Bridge y el South Bridge (los circuitos se dividen en estos dos componentes, manejando el primero la memoria y la parte gráfica, y el segundo los periféricos integrados en la placa madre). Los primeros circuitos, como los 440 de Intel, usaban un bus PCI para interconectar ambos elementos, con lo que el PCI no solo tenía que soportar el tráfico normal de los periféricos «en tarjetas», sino también el de los periféricos integrados en la placa madre y todo el tráfico de intercomunicación entre ambos circuitos.

Para aliviar esta situación, Intel, VIA y SiS sustituyeron el bus PCI entre ambos dispositivos por una conexión de alta velocidad. Hoy en día, gracias al bus Communications Streaming Architecture de Intel, integrado dentro del controlador de memoria de los chipsets i875/876, incluso la Gigabit Ethernet está fuera del bus PCI.

Sin embargo, aunque AGP, CSA, el AHA de Intel, el V-Link de VIA y el MuTIOL de SiS han conseguido reducir de forma bastante exitosa la carga del bus PCI, no son más que soluciones temporales.

---

### EL NUEVO BUS PCI EXPRESS

---

El bus PCI Express, antes conocido como 3GIO, está diseñado para reemplazar al PCI y cubrir las necesidades de interconexión para la próxima década. Está diseñado para soportar diversos segmentos del mercado, y como una arquitectura de E/S que unifique los equipos de escritorio, portátiles, servidores,

estaciones de trabajo y dispositivos empujados.

El objetivo principal es conseguir un menor costo que los dispositivos PCI, tanto en bajos como altos volúmenes de producción. Para ello emplea un bus serie en vez de paralelo, pues al requerir un menor número de pistas en las placas, se reducen los costes de diseño a la vez que se aumenta el rendimiento en cuanto a espacio consumido.

El PCI Express aparece ante el sistema operativo exactamente igual que el antiguo bus PCI, por lo que no habrá que hacer modificaciones sustanciales en ellos. Lo mismo se aplica a nivel de configuración y controladores de dispositivos, que serán compatibles con los actuales para PCI.

La escalabilidad en el rendimiento se consigue aumentando la frecuencia y añadiendo «rutas» al bus (habría varios buses serie funcionando en paralelo, cada uno independiente de los demás). El diseño está pensado para ofrecer una alta velocidad de transferencia en cada ruta, con baja sobrecarga y baja latencia. Permite, además, varios canales virtuales en cada ruta o enlace físico.

Finalmente, al ser una conexión punto a punto, permite que cada dispositivo tenga una conexión dedicada, evitando compartir el bus.

Otras características avanzadas son:

- Soporte de múltiples estructuras de datos.
- Capacidades avanzadas de gestión de energía.
- Conexión y desconexión «en caliente» de periféricos.

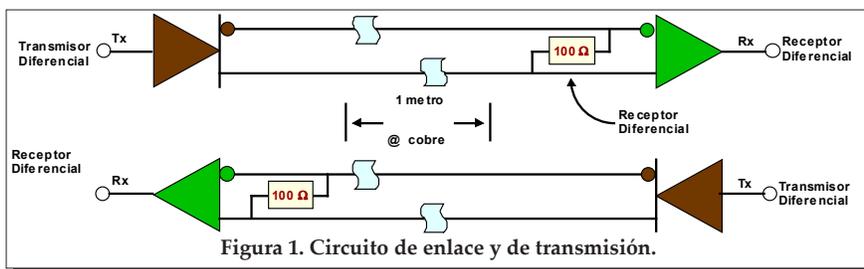
- Comprobación de errores de transmisión
- Capacidad de transferencia isócrona
- Protocolo dividido en capas y basado en envío de paquetes

Visto a alto nivel, un sistema PCI Express está formado por un sistema raíz (que estará bien en el North Bridge o en el South Bridge), uno o varios conmutadores (switches) y los dispositivos finales. La novedad aquí es el switch, el cual permite la comunicación punto a punto entre dispositivos finales, evitando enviar tráfico hasta el bridge si éste no supone problemas de coherencia en las cachés (por tratarse, por ejemplo, de transferencias a memoria).

En la parte inferior está la capa física. El enlace más simple para un sistema PCI Express consiste en dos señales diferenciales por corriente. Se incluye una señal de reloj usando el sistema 8/10b para conseguir altas velocidades de transferencia. La frecuencia inicial es de 2'5 Gb/s en cada sentido, y se espera que los avances en la tecnología del silicio permitan aumentarlo hasta los 10 Gb/s.

Una de las características más excitantes para los apasionados de la velocidad es la capacidad del PCI Express de aumentar la velocidad mediante el añadido de nuevos enlaces formando múltiples rutas paralelas. La capa física soporta anchos X1, X2, X4, X8, X12, X16 y X32. La transmisión sobre múltiples rutas es transparente al resto de las capas (ver **Figura 1**)

La capa de enlace es la encargada de garantizar la fiabilidad y la integridad de los datos para cada paquete enviado a través de un enlace PCI Express. Junto con un número de secuencia y un CRC, un protocolo



de control de flujo garantiza que los paquetes son transmitidos sólo cuando hay un buffer disponible para recibirlos en el otro extremo. Los paquetes corruptos se retransmiten automáticamente.

La capa de transacción crea los paquetes con las peticiones de la capa de software a la capa de enlace, implementándolas como transacciones. Cada paquete tiene un identificador único, soportando direccionamiento de 32 y 64 bits. Otros atributos extra incluyen «no-snoop», «relaxed ordering» y prioridad, y se usan para el enrutado y la calidad de servicio.

La capa de transacción se encarga de cuatro espacios de direccionamiento: memoria, I/O, configuración (estos tres ya existían en la especificación PCI) y el nuevo espacio Mensajes. Este reemplaza a ciertas señales en la especificación PCI 2.2 y elimina los «ciclos especiales» del viejo formato, lo que incluye las interrupciones, las peticiones de gestión de energía y el reinicio

Finalmente, la capa software constituye la clave para conseguir la compatibilidad software. La inicialización y el runtime no se han cambiado respecto al PCI debido a que se quiere que los sistemas operativos puedan usar PCI Express sin necesidad de modificarse. Los dispositivos son enumerados de forma que el sistema operativo pueda encontrarlos y asignarles recursos, mientras que el runtime reutiliza el modelo cargar/almacenar y memoria compartida del PCI. Sin embargo, queda por ver si realmente es necesaria la mo-

dificación, pues el «Soporte de PCI Express» es una de las características que se anuncian para Longhorn, el próximo Windows.

Las primeras implementaciones están diseñadas para coexistir con los actuales conectores PCI. Así, un conector 1X encaja a continuación de un conector PCI, entre éste y el borde de la placa madre, de forma tal que se puede usar cualquiera de las dos tarjetas. Ver **Figura 2** en la siguiente página.

Otras novedades incluyen el separar la «caja principal» y los interfaces, y las «bahías de dispositivos», que permitirían la conexión y desconexión «en caliente» de tarjetas y otros periféricos PCI-Express.

Incluso se ha tenido en cuenta a los usuarios de dispositivos portátiles, con el nuevo estándar PCMCIA denominado NEWCARD, el cual define un formato en el que dos tarjetas NEWCARD, una junto a la otra, ocupan casi el mismo espacio que una tarjeta CardBus actual. Desgraciadamente, no está diseñado para soportar gráficos, por lo que las posibilidades de actualizar el sistema gráfico de un portátil siguen siendo prácticamente inexistentes. Pese a todo, no hay que perder de vista las cosas buenas: el nuevo bus permitirá la expansión de multitud de nuevas opciones, como comunicaciones inalámbricas, capturadoras de TV de alta calidad, etc.

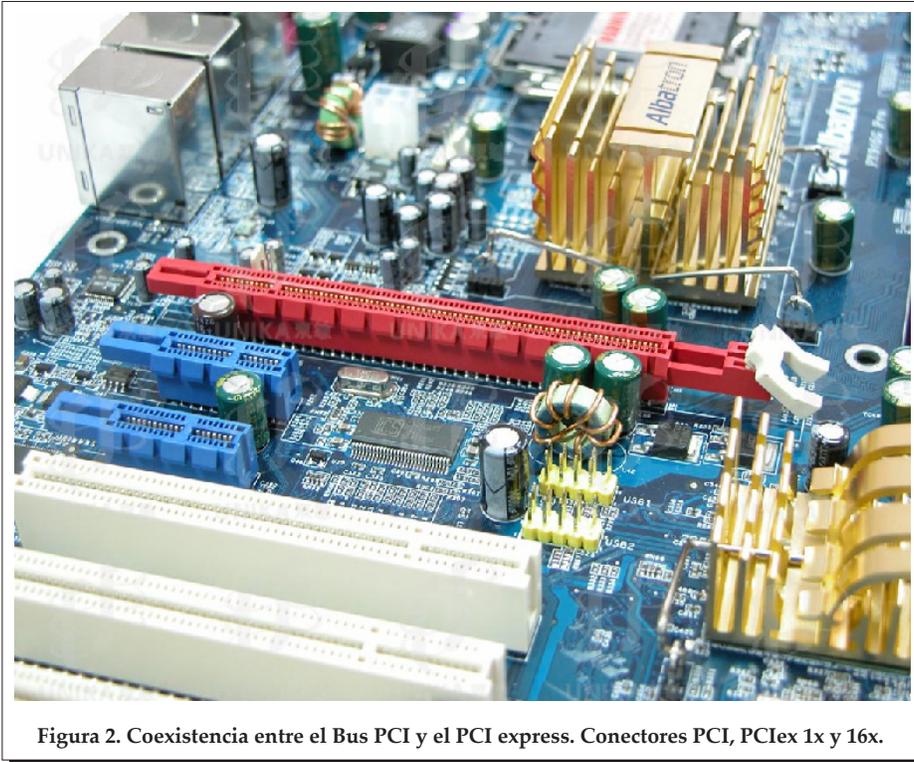


Figura 2. Coexistencia entre el Bus PCI y el PCI express. Conectores PCI, PCIex 1x y 16x.

### CONCLUSIONES

Las características antes mencionadas proporcionan una alternativa muy viable para el diseño de nuevas tarjetas en aplicaciones comunes, dada su gran velocidad. Con sus 200 MB por segundo en cada sentido para un conector X1, el PCI Express se alza como una solución económica en relación al ancho de banda por terminal, este conector X1 soporta todos los conectores (2x, 4x, 8x, 12x, 16x, and 32x) (Ver **Tabla 1**).

El chipset Grantsdale de Intel ofrecerá un enlace X16 para gráficos (lo que supone 4 Gigabytes por segundo en cada sentido), lo que duplica el ancho de banda de un AGP 8X. Esta capacidad permitirá cubrir las demandas para los próximos años.

Finalmente, la característica de ser una conexión punto a punto permitirá que cada dispositivo pueda tener una conexión dedicada, evitando compartir el bus.

Si el bus proporciona Soporte de múltiples estructuras de datos, capacidades avanzadas de gestión de energía, conexión y desconexión «en caliente», comprobación de errores de transmisión, capacidad de transferencia isócrona y protocolo dividido en capas y basado en envío de paquetes, entonces será posible realizar una amplia gama de aplicaciones electrónicas a través de este bus.

### REFERENCIAS

- [1] Anderson, Don; Budruk, Ravi. *PCI Express System Architecture*. Editorial Tom Shanley.
- [2] Wilen, Adam; Schade, Justin P.; Thornburg, Ron. *Introduction to PCI Express: A Hardware and Software Developer's Guide*. Intel Press.

PCI-Express 1x PinOut				
Pin	Conector lado B		Conector lado A	
#	Nombre	Descripción	Nombre	Descripción
1	+12v	+12 voltaje	PRSNT#1	Detector de presencia de Hot Plug
2	+12v	+12 voltaje	+12v	+12 voltaje
3	RSVD	Reservado	+12v	+12 voltaje
4	GND	Tierra	GND	Tierra
5	SMCLK	Reloj BSMBus	JTAG2	TCK
6	SMDAT	Datos SMBus	JTAG3	TDI
7	GND	Tierra	JTAG4	TDO
8	+3.3v	+3.3 voltaje	JTAG5	TMS
9	JTAG1	+TRST#	+3.3v	+3.3 voltaje
10	3.3Vaux	+3.3 voltaje	+3.3v	+3.3 voltaje
11	WAKE#	Liga de Reactivación	PWRGD	Power Good
Llave Mecánica				
12	RSVD	Reservado	GND	Tierra
13	GND	Tierra	REFCLK+	Reloj de Referencia
14	HSOp(0)	Linea de Transmisión 0, Par Diferencial	REFCLK-	Par diferencial
15	HSOn(0)	Linea de Transmisión 0, Par Diferencial	GND	Tierra
16	GND	GTierra	HSIp(0)	Linea de Transmisión 0, Par Diferencial
17	PRSNT#2	Detector Hotplug	HSIn(0)	Linea de Transmisión 0, Par Diferencial
18	GND	Tierra	GND	Tierra

Tabla 1. Distribución de Terminales para PCI-EXPRESS Conector X1.