

Procesamiento analógico a partir de elementos altamente resistivos

Carlos Muñoz-Montero¹, Luis Abraham Sánchez-Gaspariano¹, Víctor Hugo Ponce-Ponce², María Elena Aguilar-Jáuregui² y Osvaldo Espinosa-Sosa²

¹ Universidad Politécnica de Puebla,
México

² Centro de Investigación en Computación, Instituto Politécnico Nacional, DF,
México

{carlosmm2k, luisabraham.sg}@gmail.com; {vponce, maguilar, espinosa}@cic.ipn.mx

Resumen. El presente trabajo propone una técnica para diseñar, a partir de elementos altamente resistivos, circuitos integrados CMOS analógicos tales como amplificadores compensados en offset, filtros sintonizables de baja frecuencia, espejos de corriente programables y generadores de funciones de membresía. La técnica propuesta incorpora transistores operando en la región de inversión débil para reducir los requerimientos de área y las contribuciones de offset, así como para reducir las componentes de ruido y distorsión, mejorando el compromiso exactitud-velocidad-potencia. Éstas características permiten facilitar el acondicionamiento de señales de baja frecuencia y habilitar el diseño de dispositivos con sintonización multidécada de ganancia y frecuencia. Por otro lado, los circuitos propuestos son atractivos para la implementación analógica de arquitecturas reservadas al ámbito digital, tales como filtros adaptables y sistemas difusos, por mencionar algunos, así como dispositivos de procesamiento y acondicionamiento de señal de alta eficiencia. Se reportan caracterizaciones a partir de simulaciones, mediciones y análisis estadísticos de prototipos diseñados con una tecnología CMOS de 0.5 μ m de largo de canal, dos capas de polisilicio y tres capas de metal. Los resultados obtenidos concuerdan con aquellos anticipados en el diseño de los circuitos.

Palabras clave. CMOS, amplificadores, filtros, lógica difusa, elementos altamente resistivos.

Analog Processing based on Quasi-Infinite Resistors

Abstract. This work proposes a technique for design of CMOS analog integrated circuits such as offset compensated amplifiers, low-frequency filters, programmable current mirrors and membership

function generators, based on high-value (quasi-infinite) resistors. The proposed technique incorporates transistors operating in weak-inversion mode in order to reduce the area requirements and minimize the DC-offset. In addition, improvement on both, noise performance and linearity, are achieved along with an enhanced speed-accuracy-power tradeoff. Those features make easier the processing of low-frequency signals and allow the design of systems with multi-decade tunability of gain and frequency. The presented circuits are attractive for implementation of high-accuracy processors for signal conditioning as well as architectures usually reserved to digital approaches, for instance neural networks, adaptive filters, and neuro-fuzzy systems, to mention a few. Characterization through computer simulations, statistical analysis and experimental measurements of prototypes in a double-poly, three metal layers, 0.5 μ m CMOS technology are reported. The attained results follow the course anticipated in the design of the circuits.

Keywords. CMOS, amplifiers, filters, fuzzy logic, quasi-infinite resistors.

1 Introducción

Los “transistores de compuerta casi-flotante” (quasi-floating-gate transistors o QFGT [21] son dispositivos que permiten realizar funciones planteadas originalmente con sus antecesores: los “transistores de compuerta flotante” (floating-gate transistors o FGT). Los QFGT presentan las mismas ventajas que los FGT, tales como: operación a bajo voltaje, un nodo de suma a partir de acoplamientos capacitivos en el electrodo de compuerta, capacidad de

almacenamiento de carga a largo plazo, entre otras. Sin embargo, los QFGT dan solución a las principales desventajas de los FGT: la retención de carga inicial en la compuerta flotante y la reducción de la transconductancia y la resistencia de salida [22]. A partir de QFGT y FGT se han propuesto un gran número de dispositivos, tales como [7] amplificadores, convertidores D/A, memorias EPROM y EEPROM, redes neuronales artificiales, espejos de corriente, circuitos para corrección de desapareamiento o mismatch (trimming circuits) [20], entre otros. No obstante, en estas aplicaciones no se ha explorado un aspecto interesante: la posible variación de la resistencia del elemento altamente resistivo que se utiliza para polarizar a los QFGT. Estos elementos altamente resistivos (reportados en inglés como quasi-infinite resistors QIR) se utilizan para realizar resistencias activas de muy alto valor, típicamente en el rango de los GigaOhms, ya sea de forma aterrizada o flotante [24]. En el caso de los QFGT, los QIR establecen un voltaje en el electrodo de compuerta que es constante e independiente de las variaciones de temperatura, operando para ello como resistencias aterrizadas o conectadas a uno de los rieles de alimentación. Su operación en modo flotante ha sido utilizada recientemente en arreglos de polarización y de control de la ganancia en modo común [24].

Por otro lado, el desapareamiento entre dispositivos o mismatch, así como la ausencia de constantes de tiempo en el rango de segundos, son dos aspectos restrictivos en el diseño de los circuitos integrados [12]. El primero impone el uso de transistores de grandes dimensiones para reducir las contribuciones de offset y ruido que degradan la producción y el desempeño [19]. El segundo hace del filtrado por debajo de 1kHz un problema no trivial que obliga al uso de capacitores externos al chip y otras técnicas de diseño no convencionales, tales como: cancelación y reducción de corriente y multiplicadores de capacitancia, entre otras [25]. Para reducir los efectos del desapareamiento se utilizan arreglos de compensación de offset, tales como: circuitos de ajuste post-fabricación (trimming circuits), autoceros y recortadores (choppers) [6; 20, 26]. Desafortunadamente estas técnicas requieren de etapas de corrección posteriores a la fabricación y degradan la medida

de desempeño caracterizada por la relación exactitud-velocidad-potencia [27].

Con estos antecedentes, en este trabajo se proponen técnicas de diseño analógico a partir de elementos altamente resistivos, las cuales están orientadas a dar solución a los inconvenientes resultantes del mismatch y a las dificultades para realizar filtros de baja frecuencia en tecnologías CMOS estándar. Los circuitos resultantes, además de ser sencillos, permiten mejorar el compromiso exactitud-velocidad-potencia, reducir los niveles de offset, ruido y distorsión, mejorar el rechazo al modo común, desarrollar filtros de baja frecuencia con bajo costo de hardware y superficie de silicio, e implementar dispositivos con ganancia programable o bien con rangos de sintonización de la frecuencia de operación de hasta siete décadas. Como ejemplos de aplicación se presentan un OTA compensado en offset, un filtro KHN de variables de estado con sintonización en frecuencia y factor de calidad, un espejo de corriente con programación lineal de la ganancia y un generador de funciones de mimbresía programable. Los resultados son validados mediante simulaciones, mediciones o análisis estadísticos realizados en prototipos diseñados con una tecnología CMOS de 0.5 μ m de largo de canal, dos capas de polisilicio y tres capas de metal.

2 Elementos altamente resistivos

En la literatura se han propuesto diversas realizaciones de elementos altamente resistivos, la mayoría de ellas a partir de uniones de materiales tipo N y tipo P polarizadas inversamente [2, 21, 24, 28]. La Figura 1(a) muestra una implementación a partir de la resistencia drenaje-fuente de un transistor PMOS de dimensiones mínimas en operación de corte [2]. El diagrama eléctrico se ilustra en la Figura 1(b) para $V_c=V_{DD}$. En este esquema, el elemento altamente resistivo R_G presenta dos inconvenientes: un rango limitado de excursión de señal y la presencia de un segundo elemento altamente resistivo R_{leak} formado por el pozo tipo N y el sustrato tipo P. En el primer caso, la excursión de señal se ve limitada por debajo del voltaje de umbral del transistor para evitar que

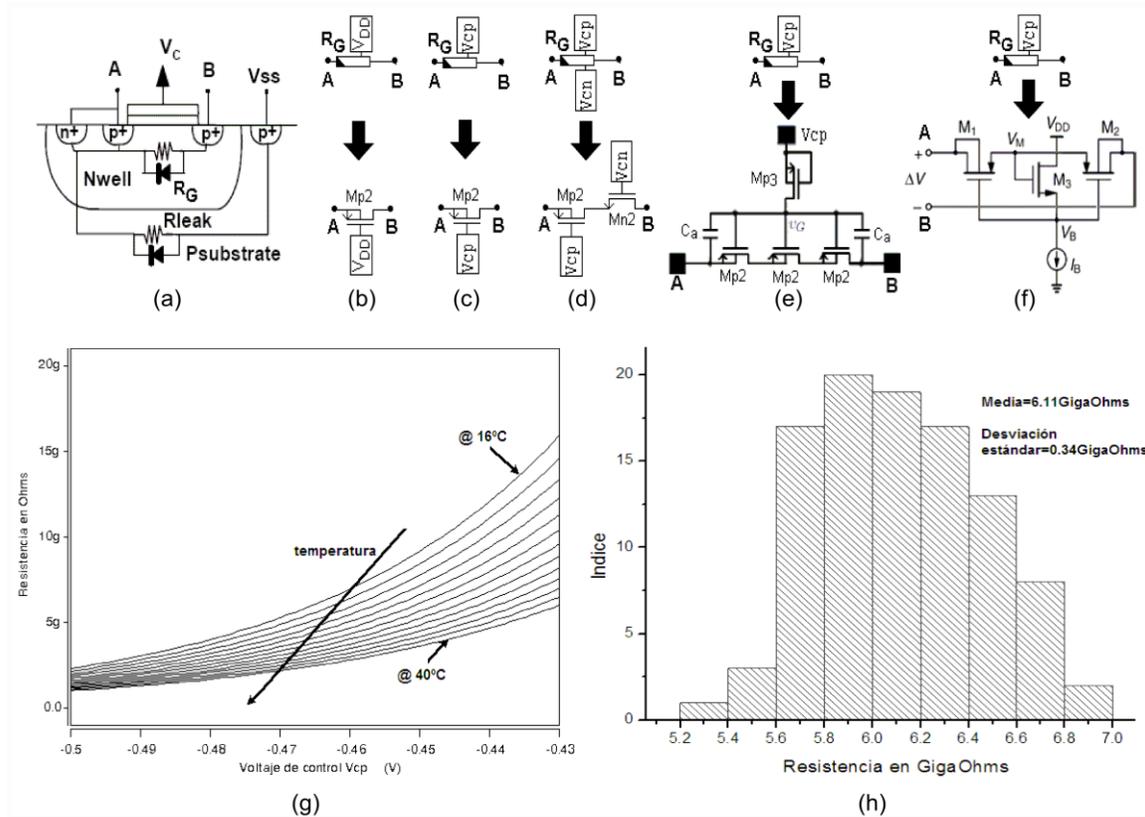


Fig. 1. Elementos altamente resistivos. (a) Resistencia drenaje-fuente equivalente de un transistor PMOS en corte; (b) Símbolo eléctrico; (c) Realización en inversión débil; (d) Realización con transistores complementarios; (e) Realización con arreglo de linealización capacitivo; (f) Realización con amplio rango de excursión de señal; (g) Efecto de la temperatura en el elemento altamente resistivo de la Figura 1(e); (h) Análisis de Monte Carlo del elemento altamente resistivo de la Figura 1(e)

este comience a conducir. En el segundo caso se forma un divisor resistivo R_G-R_{leak} que provoca una caída de potencial entre las terminales A y B. Este potencial, además de ser impredecible, es dependiente de la amplitud de la señal de entrada, provocando distorsión [24]. La Figura 1(c) muestra una solución a este problema. En este caso, el transistor PMOS es polarizado en inversión débil u operación subumbral mediante la elección de un voltaje adecuado $V_C=V_{cp}$ [2].

Esto obliga a que R_G tenga un valor mucho menor que el de R_{leak} (típicamente en el rango de los GigaOhms) para que la caída de potencial en el divisor resistivo R_G-R_{leak} sea despreciable. Ésta realización presenta un rango amplio de variación

de resistencia al variar el voltaje V_{cp} , ya que el transistor puede cambiar desde operación en corte hasta operación en la región lineal de inversión fuerte, lo que representa un rango de sintonización de hasta siete décadas [15]. Una tercera aproximación con amplio rango de excursión de señal se muestra en la Figura 1(d) [2]. Se trata de una combinación en serie de un transistor PMOS y un transistor NMOS, ambos de dimensiones mínimas y ambos polarizados en inversión débil u operación sub-umbral mediante una elección adecuada de los voltajes V_{cn} y V_{cp} . En este esquema, la resistencia efectiva permanece en el rango de los GigaOhms sin importar la naturaleza de las fluctuaciones de

señal entre las terminales A y B, ya que estas tienden a encender a un transistor y a apagar al otro al mismo tiempo por tratarse de transistores de tipo complementario. Desafortunadamente, el rango resultante de variación de la resistencia R_G al variar los voltajes V_{cn} y V_{cp} es limitado debido que uno de los transistores permanece siempre en inversión débil.

Otra alternativa consiste en la aproximación de la Figura 1(e) [15], la cual consta de tres transistores M_{p2} conectados en serie y operando en inversión débil u operación sub-umbral. Al tratarse de tres transistores se incrementan, tanto la resistencia efectiva, como el rango de excursión de señal en relación con la realización de la Figura 1(c). En este esquema, el transistor M_{p3} que opera en la región de corte tiene tres funciones: (i) establecer en las compuertas de los transistores M_{p2} un voltaje de sintonización de corriente directa V_{cp} independiente de las variaciones de temperatura; (ii) Formar, junto con los capacitores C_a , un filtro pasa-altas de muy baja frecuencia $R_{DS,Mp3}C_a$ que aisle al voltaje de compuerta de los transistores M_{p2} de las componentes en dc de los voltajes en las terminales A y B; (iii) Realizar, en conjunto con los capacitores C_a , un promedio de las componentes de ac de los voltajes en las terminales A y B y sumar este valor al voltaje v_G para obtener $v_G=(v_A+v_B)/2+V_{cp}$. La opción (iii) establece un arreglo de linealización de la resistencia R_G mediante la estrategia descrita ampliamente en [29].

La Figura 1(f) muestra una alternativa de amplio rango de excursión de señal y amplio rango de sintonización [28]. En este circuito los elementos altamente resistivos son los transistores M_1 y M_2 . El voltaje fuente-compuerta de estos transistores (V_M-V_B) es igual al voltaje compuerta-fuente del transistor M_3 (operando en inversión débil). Este voltaje se modifica cambiando el valor de la corriente I_B , lo que a su vez modifica la resistencia total entre las terminales A y B. Obsérvese que el substrato y el drenaje de los elementos altamente resistivos están conectados entre sí, mientras que sus respectivos potenciales drenaje-fuente son complementarios. En consecuencia, sin importar cuales sean las variaciones de potencial entre las terminales A y B, estas tienden a mantener a uno de los transistores en inversión débil (alta

resistencia) y al otro en inversión fuerte (baja resistencia), por lo que la conductancia combinada resulta de un valor muy pequeño que se expresa como [28].

$$G_{SD} = (I_{SD}/nU_T) [n/(1 - \exp(-V_{SD}/U_T)) - 1] \quad (1)$$

donde $U_T=kT/q$ es el voltaje térmico y n es el factor de pendiente de umbral. La conductancia G_{SD0} para un voltaje V_{SD} igual a cero resulta

$$G_{SD0} = G_{SD}|_{V_{SD}=0} = (I_0/U_T) \exp(V_{SG}/nU_T) \quad (2)$$

donde $I_0=2n_p\mu C_{ox}(W/L)U_T^2 \exp(-|VT_0|/nU_T)$, C_{ox} es la capacitancia de óxido por unidad de área, μ es la movilidad de los portadores y V_{T0} es el voltaje de umbral. La dependencia de G_{SD0} con respecto a V_{SG} permite la sintonización de la resistencia total R_G .

De acuerdo con las expresiones (1) y (2), los elementos altamente resistivos presentan una fuerte dependencia con la temperatura a través del voltaje térmico U_T . Esta dependencia es consecuencia de la operación en inversión débil. Para evaluar estos efectos se realizó una simulación en HSPICE del elemento altamente resistivo de la Figura 1(e) a partir de los parámetros de una tecnología CMOS estándar de $0.5\mu\text{m}$ de largo de canal, dos capas de polisilicio y tres capas de metal. Los resultados obtenidos se muestran en la Figura 1(g). Asumiendo una temperatura nominal de 25°C se obtiene una variación en la resistencia del elemento altamente resistivo de $1.6\text{G}\Omega$ a $10.4\text{G}\Omega$ cuando el voltaje de sintonización V_{cp} varía de -0.5V a -0.43V . Con el mismo intervalo del voltaje de control y para una temperatura de 16°C , el valor mínimo y máximo de la resistencia cambian a $2.2\text{G}\Omega$ y $15.2\text{G}\Omega$, respectivamente, mientras que para una temperatura de 40°C se obtienen $0.9\text{G}\Omega$ y $5.7\text{G}\Omega$. Claramente, la resistencia decrece con el incremento de la temperatura en una forma muy significativa. De hecho, el cambio máximo observado con $V_{cp}=-0.43\text{V}$ fue de $9.5\text{G}\Omega$ (de $15.2\text{G}\Omega$ a $5.7\text{G}\Omega$) cuando la temperatura cambió 24°C , de 16°C a 40°C . El correspondiente cambio mínimo fue de $1.3\text{G}\Omega$ con $V_{cp}=-0.5\text{V}$. Es importante notar que este rango del voltaje de

control de 70mV está varios órdenes de magnitud por encima de las contribuciones del ruido térmico, lo que permite que la sintonización de R_G sea independiente de este fenómeno.

Si bien la dependencia con la temperatura de la resistencia es significativa, debe de tomarse en cuenta que estos circuitos difícilmente se calentarán por sí mismos, ya que manejan densidades de corriente muy pequeñas. Sin embargo, debe de ponerse especial atención en el diseño del layout para evitar ubicarlos cerca de dispositivos que presenten gradientes de temperatura considerables. También es recomendable utilizar estructuras en modo completamente diferencial para reducir los errores asociados con la temperatura. No obstante, muchas de las aplicaciones de los

elementos altamente resistivos no requieren valores exactos de resistencia, como es el caso de compensación de offset que se presenta en la siguiente sección [15].

Al realizarse circuitos diferenciales cobra mayor importancia la variación relativa que la absoluta del elemento altamente resistivo. De esta forma, en el histograma de la Figura 1(h) se muestra la dependencia del elemento altamente resistivo de la Figura 1(e) con el desapareamiento o mismatch. La simulación fue realizada mediante análisis de Monte Carlo de cien casos con el software HSPICE, el modelo de desapareamiento de Pelgrom [Pelgrom, 1989], transistores de dimensiones mínimas y los parámetros de una tecnología CMOS estándar de 0.5 μ m de largo de canal, dos capas de polisilicio

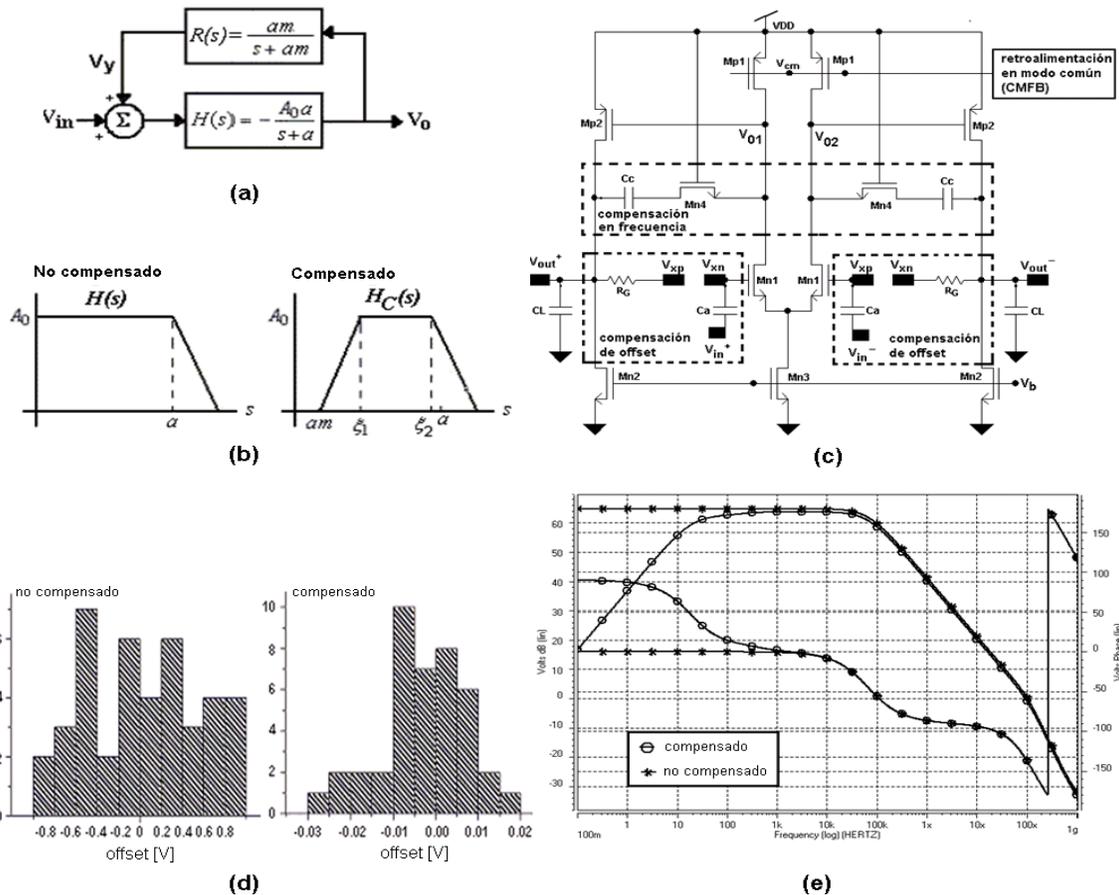


Fig. 2. (a) Diagrama a bloques de la técnica de compensación de offset. (b) Efecto en la respuesta en frecuencia. (c) OTA compensado en offset. (d) Análisis de Monte Carlo. (e) Respuesta en frecuencia

y tres capas de metal. El voltaje de control se estableció como $V_{cp} = -0.45V$ @ $25^\circ C$. El valor medio obtenido fue de $6.1G\Omega$ con una desviación estándar de $0.34G\Omega$. Así, al considerar tres desviaciones estándar se concluye que en el 96% de los casos la resistencia se encontrará en el intervalo ($5.1G\Omega$, $7.1G\Omega$), con una variación máxima del 16% con respecto al valor nominal.

Una vez introducidos los elementos altamente resistivos de la Figura 1, en las siguientes secciones se presentan cuatro aplicaciones de los mismos: compensación de offset, filtros sintonizables, amplificadores de corriente programables y funciones de membresía rectangulares con programación proporcional de todos sus parámetros.

3 Compensación de offset

La Figura 2(a) ilustra la técnica de compensación de offset en tiempo continuo reportada en [15]. En esta figura, $H(s)$ es un amplificador inversor con ganancia A_0 y ancho de banda a , mientras que $R(s)$ es un lazo de compensación de offset de ganancia unitaria y ancho de banda am . Mediante un análisis directo de esta figura se obtiene

$$H_C(s) = \frac{V_o}{V_{in}} \approx \frac{-A_0 a (s + am)}{(s + \xi_1)(s + \xi_2)} \quad (3)$$

$$\xi_{1,2} = -\frac{a}{2} \left(-1 \pm \sqrt{1 - 4A_0 m} \right), \quad A_0 \gg 1, \quad m \ll 1 \quad (4)$$

Analizando estas expresiones se observa que si $am \ll \xi_1$ y $4A_0 m \ll 1$ entonces: (i) los polos resultan $\xi_1 \approx 0$ y $\xi_2 \approx a$, lo que garantiza estabilidad; (ii) La respuesta en frecuencia del amplificador presenta una característica pasa-banda; (iii) La respuesta pasa-banda evita que se amplifique el offset equivalente a la entrada y el ruido de baja frecuencia, ya que $H_C(s=0) = A_0 / (A_0 + 1) \approx 1$; (iv) La ganancia en la banda de paso y el ancho de banda $|\xi_2 - \xi_1| \approx a$ del amplificador compensado resultan muy similares a los del amplificador no compensado, tal y como se aprecia en la Figura 2(b). Para satisfacer $am \ll \xi_1$ y $4A_0 m \ll 1$ se

diseña a $R(s)$ como un filtro RC de muy baja frecuencia, compuesto por un elemento altamente resistivo R_G y un capacitor C_a . De esta forma, la compensación de offset presenta características cercanas a las ideales: opera en tiempo continuo, no degrada el ancho de banda y prácticamente no consume potencia adicional. Existen otras alternativas para realizar la compensación de offset, por ejemplo mediante retroalimentación a través de la carga activa. Un análisis estadístico de estas técnicas se puede consultar en [13].

La Figura 2(c) corresponde a un OTA de dos etapas, completamente diferencial y compensado en offset mediante esta técnica. La primera etapa está conformada por el par diferencial M_{n1} - M_{n3} y los transistores M_{p1} de la carga activa (se omiten por simplicidad los detalles de la retroalimentación en modo común CMFB). La segunda etapa la conforman los transistores en fuente común M_{p2} con sus respectivas cargas activas M_{n2} . Los transistores M_{n4} y los capacitores C_C establecen un arreglo de compensación en frecuencia de Miller. En relación con un amplificador no compensado, la compensación de offset C_{offset} a la salida resulta [15].

$$C_{offset} \approx 100(1 - 1/A_{OTA}) \% \quad (5)$$

donde A_{OTA} es la ganancia de voltaje en baja frecuencia del OTA no compensado. El amplificador de la Figura 2(c) se diseñó en una tecnología CMOS estándar de $0.5\mu m$ de largo de canal. El elemento altamente resistivo R_G es el de la Figura 1(c), mientras que los capacitores C_a son de $0.8pF$. La alimentación se realizó con fuentes simétricas de $1V$ y con una corriente de polarización de $50\mu A$. La compensación de offset se evaluó en HSPICE mediante un análisis de MonteCarlo de 40 casos con el modelo de mismatch de Pelgrom [19].

La Figura 2(d) muestra la desviación estándar del offset a la salida del OTA con y sin compensación de offset. La estimación estadística revela una compensación de offset del 98.2% con un intervalo de confianza del 99%. Las versiones no compensada y compensada de éste amplificador presentan el mismo comportamiento en frecuencia por encima de $1kHz$ (Figura 2(e)).

No obstante, la frecuencia de corte ξ_1 puede reducirse fácilmente por debajo de este valor si se incrementa el voltaje V_{cp} y/o el valor de los capacitores C_a . Además, cuando se cierra el lazo del amplificador en retroalimentación, ξ_1 disminuye en proporción al factor de retroalimentación.

Para evaluar el potencial de esta técnica se analiza el compromiso exactitud-velocidad-potencia [27]. Si se desea mejorar en un N por ciento la exactitud Ex (mismatch) de un amplificador no compensado en offset sin afectar su ancho de banda BW , entonces es necesario incrementar el consumo de potencia, de un valor $Potencia_1$ a un valor $Potencia_2$, ya que el compromiso exactitud-velocidad-potencia es constante. Por lo tanto

$$\frac{BW \cdot Ex^2}{Potencia_1} = \frac{BW \cdot Ex^2 (1 + N/100)^2}{Potencia_2} \quad (6)$$

$$\frac{Potencia_2}{Potencia_1} = (1 + N/100)^2$$

Así, un incremento de $N=98\%$ en la exactitud del OTA requiere de un incremento del 392.8% en el consumo de potencia. En comparación, la técnica de compensación de offset con elementos altamente resistivos alcanza esta exactitud prácticamente sin incrementar el consumo de potencia y el área requerida. Además, compensar offset permite cancelar las componentes pares de distorsión y mejorar el rechazo al modo común y al ruido proveniente de las fuentes de polarización.

Para mejorar aún más la compensación y reducir el offset equivalente a la entrada se puede diseñar al filtro $R(s)$ con ganancia de voltaje. El incremento consecuente en el consumo de potencia es poco considerable debido a que $R(s)$ opera a muy baja frecuencia. El offset equivalente a la entrada en ese caso resulta [15]

$$V_{os} = \frac{g_{m1}/g_{m2}}{A_{V1}A_{V2}} V_{os1} + \frac{1}{A_{V1}} V_{os2} \approx \frac{1}{A_{V1}} V_{os2} \quad (7)$$

donde g_{m1} y g_{m2} son las transconductancias de entrada del amplificador y del bloque $R(s)$, respectivamente, A_{V1} y A_{V2} son sus ganancias de voltaje a baja frecuencia y V_{os1} y V_{os2} son sus

componentes de offset equivalentes a la entrada. De esta forma, el amplificador puede diseñarse para una mayor respuesta en frecuencia sin penalizar el consumo de área y potencia. Utilizando esta técnica se reportó en [15] un amplificador con una desviación estándar en V_{OS} de $3.79\mu V$ y compensación de offset del 99.74% con una ganancia A_{V1} de 60dB. Así, esta técnica de compensación puede proporcionar offsets en el rango de los nano-volts si se diseñan amplificadores de alta ganancia, como los reportados en [23]. Finalmente, esta técnica también se puede aplicar en multiplicadores y divisores, tal y como se demuestra en [16].

4 Filtrado a baja frecuencia

El filtrado es el proceso por medio del cual se manipula el espectro de una señal para satisfacer especificaciones particulares. En años recientes ha incrementado el interés por un tipo específico de filtros: los filtros CMOS de baja frecuencia. Estos dispositivos son útiles para rechazar contribuciones de ruido y offset, así como para acondicionar señales biomédicas, entre otras aplicaciones. Los anchos de banda y amplitudes de señal correspondientes se encuentran en los rangos de 0.1Hz a 1MHz, y de 1mV a 1V, respectivamente.

Así, dada la naturaleza "débil" de estas señales y su baja frecuencia, se requiere de un diseño cuidadoso que permita reducir las componentes de ruido, offset y distorsión del filtro mismo, incrementando así la resolución. Se trata de un problema no trivial en el que se requiere incorporar al filtro capacidades de sintonización que permitan compensar las tolerancias y variaciones de proceso propias de los procesos de fabricación sub-micrométricos. El problema no es trivial debido a varios factores, entre ellos los valores limitados de capacitancia y resistencia disponibles en las tecnologías CMOS actuales [12]. En la literatura se han propuesto numerosas estrategias para superar estas limitaciones, tales como [25]: uso de capacitores externos al chip (incrementa el número de pads); escaladores de impedancia (sólo permiten sintonización en valores discretos); técnicas de división y cancelación de corriente (incrementan la

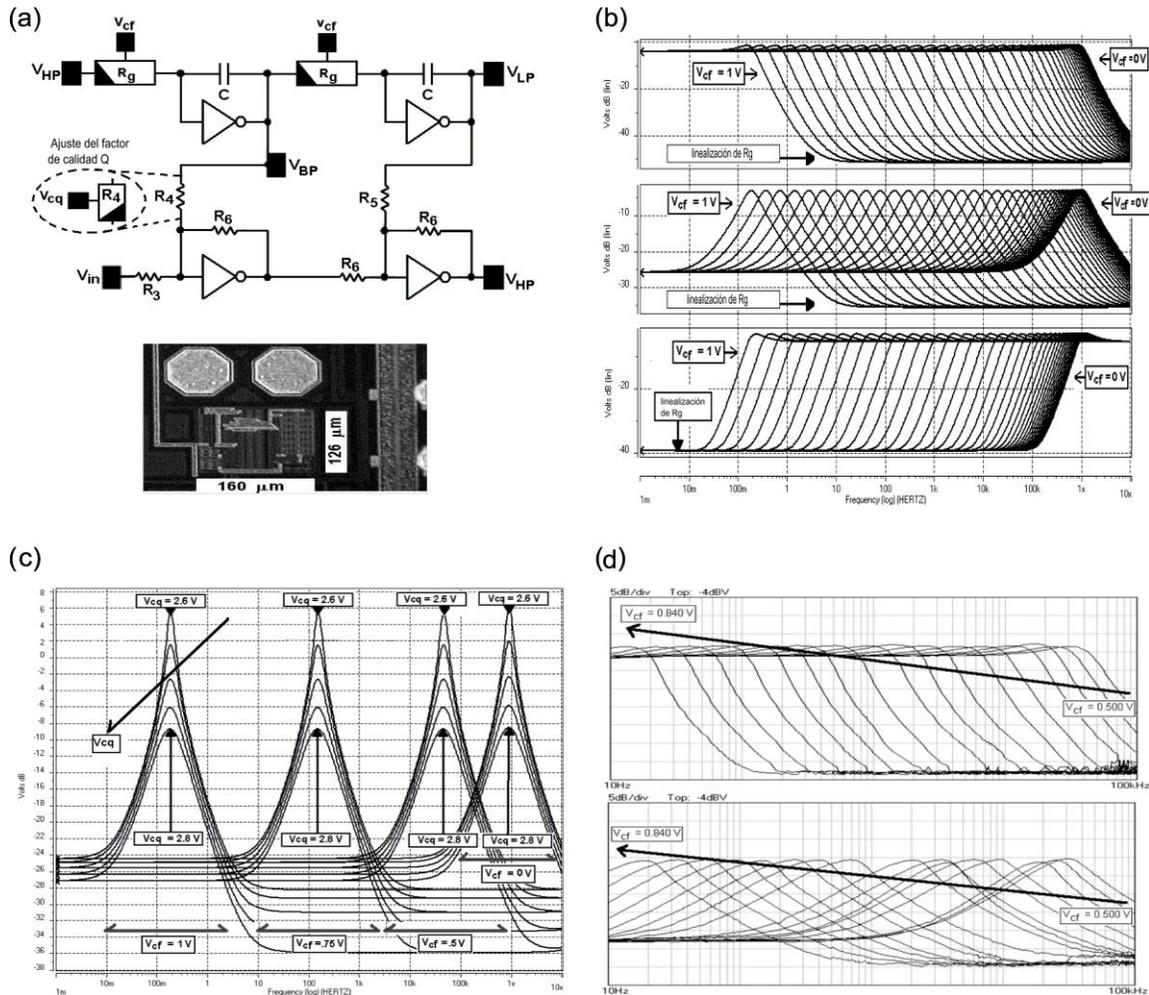


Fig. 3. (a) Filtro KHN en modo voltaje y su correspondiente microfotografía. (b) Respuestas pasa-bajas, pasa-altas y pasa-banda. (c) Sintonización del factor de calidad. (d) Respuestas experimentales pasa-bajas y pasa-banda

sensibilidad a mismatch); y el uso de resistores activos (presentan un rango limitado de sintonización y linealidad) [12]. Además, estas estrategias presentan rangos limitados de sintonización y demanda de área activa. Una alternativa consiste en el uso de elementos altamente resistivos para eliminar el inconveniente de la baja resistencia disponible en circuito integrado [15; 28], la necesidad de capacitores externos al chip y para aprovechar el rango de sintonización de hasta siete décadas de R_G [15].

Como ejemplo se utilizará el filtro de variables de estado Kerwin-Huelsman-Newcomb. Este

posee una entrada y tres salidas con características pasa-bajas (H_{LP}), pasa-altas (H_{HP}) y pasa-banda (H_{BP}). Está conformado por dos integradores y un sumador. Las principales características de este filtro bicuadrático son su baja sensibilidad y su reducida complejidad de hardware. La Figura 3(a) muestra una versión mejorada del filtro KHN reportado en [15]. Los dos inversores CMOS de la parte inferior y las resistencias R_3, R_4, R_5 y R_6 conforman el sumador requerido, mientras que los inversores de la parte superior, los capacitores C y los elementos altamente resistivos R_g de la Figura 1(e) constituyen los integradores. R_4 es el elemento

altamente resistivo de la figura 1(e), pero operando en inversión fuerte. De un análisis nodal se obtiene:

$$H_{HP}(s) = \frac{R_6}{R_3} \frac{\left(s + \frac{1}{R_3 R_g C}\right)^2}{s^2 + \frac{R_6}{R_4 R_g C} s + \frac{R_6}{R_5 R_g^2 C^2}} \quad (8)$$

$$H_{BP}(s) = -\frac{R_6}{R_3 R_g C} \frac{\left(s + \frac{1}{R_3 R_g C}\right)^2}{s^2 + \frac{R_6}{R_4 R_g C} s + \frac{R_6}{R_5 R_g^2 C^2}} \quad (9)$$

$$H_{LP}(s) = \frac{\frac{R_6}{R_3 R_g^2 C^2}}{s^2 + \frac{R_6}{R_4 R_g C} s + \frac{R_6}{R_5 R_g^2 C^2}} \quad (10)$$

con frecuencia natural ω_n y factor de calidad Q

$$\omega_n \approx \frac{1}{R_g C} \sqrt{\frac{R_6}{R_5}} \quad (11)$$

$$Q \approx R_4 \sqrt{\frac{1}{R_5 R_6}} \quad (12)$$

En (11) y (12) se observa que ω_n y Q pueden sintonizarse independientemente modificando R_g y R_4 a partir de los voltajes de control V_{cf} y V_{cq} . Puede demostrarse que los arreglos de linealización de R_4 y R_g introducen influencias parásitas que afectan las características de transferencia. No obstante, ω_n y Q prácticamente no son afectados si $C_a \ll C$. Además, la linealización introduce ceros de transmisión a frecuencias muy por encima de ω_n .

El filtro KHN fue fabricado con una tecnología CMOS de 0.5 μ m de largo de canal, dos capas de polisilicio y tres capas de metal

Para este diseño se eligieron $V_{DD}=3V$, $C=1pF$ y resistencias de polisilicio R_3 , R_5 y R_6 de 10K Ω . Mediante un barrido del voltaje V_{cf} de 0V a 1V en incrementos de 20mV se obtuvo una variación en ω_n de 1MHz a 0.1Hz que corresponde a un rango de sintonización de siete décadas (Figura 3(b)).

En la Figura 3(c) se presentan resultados de simulación de la sintonización del factor de calidad Q variando V_{cq} de 2.6V a 2.8V. El rango de variación observado fue de 0.35 a 1.8. La Figura 3(d) muestra las respuestas pasa-bajas y pasa-banda experimentales. Se obtuvieron solamente 5 décadas de sintonización, de 10Hz a 100KHz, debido a las limitaciones del instrumento de medición Velleman PCSGU250. Con estos resultados se observa que el filtro KHN propuesto puede emplearse en las bandas ELF (Extremely Low Frequency, 3 Hz-30Hz, comunicaciones militares), SLF (Super Low Frequency, 30Hz - 300Hz, comunicaciones militares), ULF (Ultra Low Frequency, 300Hz-3000Hz, comunicaciones en minas, receptores de televisión y comunicaciones militares), VLF, (Very Low Frequency, 3kHz-30kHz, enlaces de radio a gran distancia y sistemas de navegación), LF (Low Frequency, 30kHz-300kHz, navegación aérea y marítima, servicios meteorológicos y emisión de AM) y MF (Medium Frequency, 300kHz-3000kHz, emisión de AM y audio digital). También pueden emplearse en sistemas de audio (20Hz-20kHz) y sistemas de procesamiento de señales biomédicas (0.1Hz -10kHz).

5 Espejo de corriente programable

La Figura 4(a) muestra un espejo de corriente programable operando en modo completamente diferencial. Omitiendo en esta figura los transistores M_3 , M_4 , M_5 , M_6 , M_7 y M_8 se obtiene un espejo de corriente diferencial compuesto por dos espejos de corriente flipped-voltage [3] con entrada diferencial $I_{ip}-I_{in}$, salida diferencial $I_{2p}-I_{2n}$ y ganancia de corriente $A_f=(I_{2p}-I_{2n})/(I_{ip}-I_{in})=1$.

Una alternativa para modificar esta ganancia se propuso en [López-Martín et al, 2006], donde se incorporaron dos fuentes flotantes de voltaje entre las compuertas de cada par de transistores M_1 - M_2 . Desafortunadamente, el control de ganancia correspondiente es no lineal, mientras que la ganancia de corriente resultante es pequeña, comprendida en el rango entre cero y uno. Para linealizar este control, e incrementar la ganancia de corriente, se propone la realización de la Figura 4(a). En este caso, las fuentes de voltaje flotantes corresponden a las caídas de

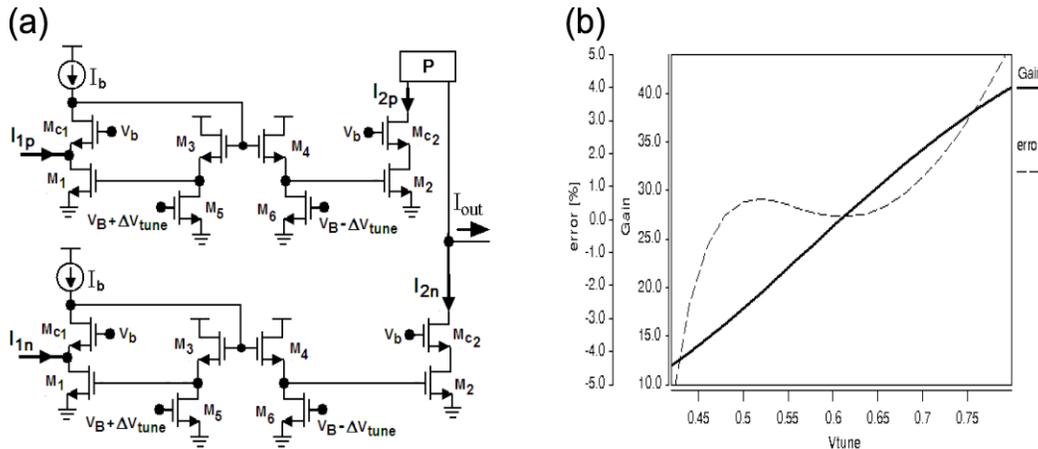


Fig. 4. (a) Espejo de corriente programable. (b) Ganancia de corriente variando ΔV_{tune} de -0.8 V a 0.8 V

potencial compuerta-fuente de los transistores M_3 y M_4 , los cuales operan en la región de saturación debido a que su drenaje está conectado a V_{DD} . Por lo tanto, estos transistores pueden considerarse como fuentes de voltaje controladas por las corrientes de los transistores M_5 y M_6 , respectivamente. Estos transistores operan en la región lineal si se satisface la restricción

$V_{tune1(tune2)} > V_{GSM1(M2)} + V_{Tn}$, donde V_{Tn} es el voltaje de umbral. A su vez, la corriente en M_5 y M_6 es controlada por los voltajes V_{tune1} y V_{tune2} . Para disminuir la distorsión, los transistores M_5 y M_6 pueden ser sustituidos por elementos altamente resistivos similares al de la Figura 1(e), pero operando en la región de triodo en inversión fuerte. Ahora, igualando las corrientes $I_{M3} = I_{M5}$ e $I_{M4} = I_{M6}$, asumiendo que el voltaje de compuerta en M_3 es constante (gracias a los transistores cascode M_{c1}) y realizando una expansión en serie de Taylor, se obtiene la ganancia de corriente

$$\frac{I_0}{I_i} = 1 + \frac{2\zeta \left(V_{tune2} - V_{tune1} \right)}{V_{GSM1} - V_{Tn}} - \frac{\left(V_{tune2} - V_{tune1} \right)^3}{V_{GSM1} - V_{Tn}} \quad (13)$$

donde ζ es una constante que depende de V_{Tn} , los voltajes de alimentación, la razón de aspecto entre M_3 y M_5 y la componente en modo común de V_{tune1} y V_{tune2} . De la expresión (13) se observa que las componentes pares de distorsión han sido eliminadas por la operación diferencial de los

voltajes de sintonización y del espejo de corriente.

Además, la componente de distorsión de tercer orden se reduce manteniendo $|V_{tune1} - V_{tune2}| < 1$. En consecuencia, el espejo de corriente presenta un comportamiento aproximadamente lineal. Además, la ganancia de corriente del espejo programable puede incrementarse por encima de la ganancia unitaria si se modifican los voltajes V_{tune1} y V_{tune2} para que el transistor M_1 opere en subumbral y el transistor M_2 en saturación.

El circuito de la Figura 4(a) fue simulado en HSPICE con una tecnología CMOS de $0.5\mu\text{m}$ de largo de canal, dos capas de polisilicio y tres capas de metal. El voltaje de alimentación es una fuente simétrica de $\pm 1.5\text{V}$, la corriente de polarización es $I_{bias} = 50\mu\text{A}$ y se tiene una resistencia de carga de $1\text{K}\Omega$. La Figura 4(b) muestra los resultados de simulación en dc al variar el voltaje diferencial de sintonización $V_{tune1} - V_{tune2}$ entre 400mV y 800mV . La variación en la ganancia de corriente correspondiente va de 10A/A a 40A/A y presenta un comportamiento aproximadamente lineal, con una desviación de la linealidad máxima de $\pm 5\%$.

6 Función de membresía programable

Los generadores de funciones de membresía son bloques funcionales de diseño analógico

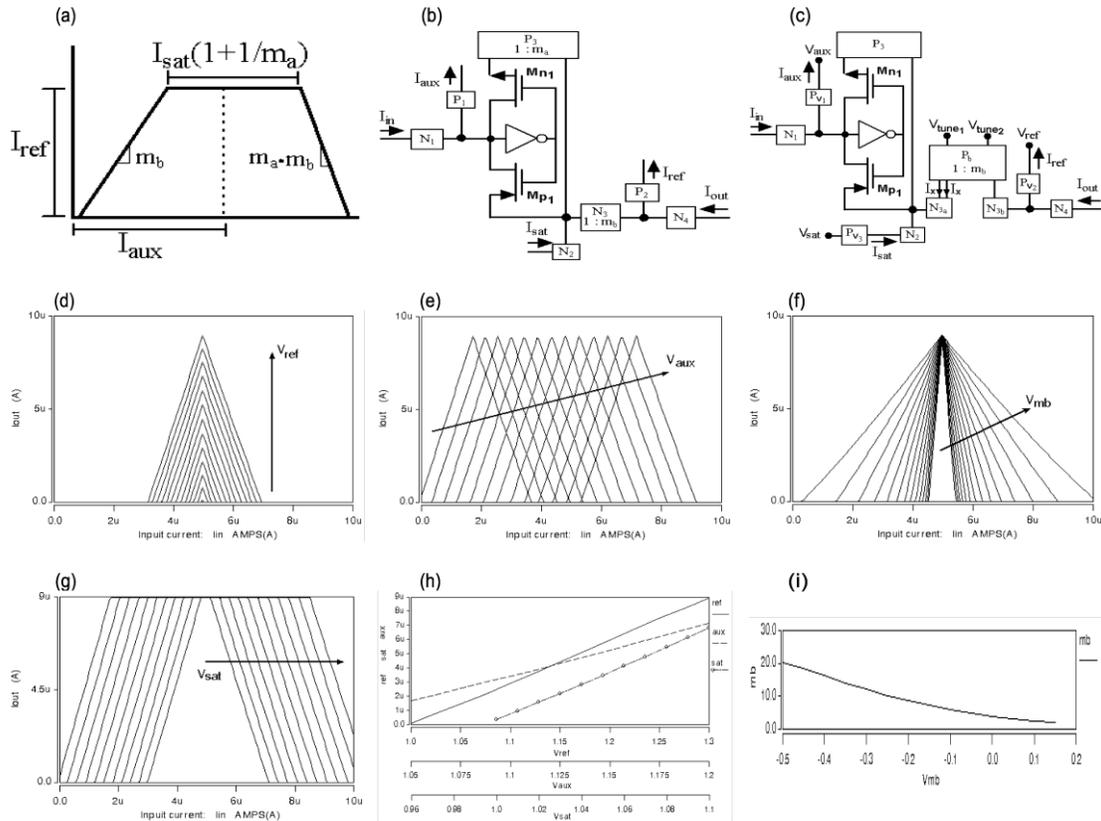


Fig. 5. Generador de funciones de membresía

útiles en la implementación de convertidores analógico-digital, controladores difusos, redes neuronales artificiales y funciones lineales por partes [1]. Existe toda una variedad de realizaciones analógicas en la literatura, la mayoría de ellas con características no lineales y carentes de capacidad para sintonizar de manera lineal e independiente cada uno de sus parámetros [5, 1, 9].

Para dar solución a estas limitaciones se propone una realización a partir del espejo de corriente de la Sección 5. Considérese la función de membresía triangular/trapezoidal de la Figura 5(a), donde I_{in} e I_{out} son las corrientes de entrada y salida, I_{aux} , I_{ref} e I_{sat} son corrientes que ajustan la posición central, la altura y el ancho, respectivamente, y m_a , m_b son parámetros que controlan las pendientes. Una posible implementación se ilustra en la Figura 5(b) [Baturone, 2000], donde N_1 , N_2 , N_3 y N_4 denotan

espejos de corriente tipo N, mientras que P_1 , P_2 y P_3 representan espejos de corriente tipo P. Ambas pendientes se pueden controlar simultáneamente por el espejo N_3 si se elige P_3 como un espejo de corriente con ganancia unitaria ($m_a=1$, m_b variable). La Figura 5(c) muestra la implementación propuesta, la cual es controlada totalmente por señales en modo voltaje. Nótese que las corrientes I_{aux} , I_{ref} e I_{sat} se obtienen de convertidores lineales voltaje-corriente P_{v1} , P_{v2} y P_{v3} (por simplicidad se omiten los detalles de diseño de estos bloques), de manera que se tienen señales de control V_{aux} , V_{ref} y V_{sat} para ajustar la posición central, la altura y el ancho de la función de membresía. Para ajustar las pendientes, el espejo programable N_3 es sustituido por dos espejos de ganancia unitaria N_{3a} y N_{3b} y por un espejo programable P_b . Este espejo es idéntico al de la Figura 5(a), pero con transistores M_1 , M_2 , M_{c1} y M_{c2} tipo P. Al utilizar

transistores tipo P se reduce el voltaje mínimo de alimentación (y por lo tanto el consumo de potencia) ya que la fuente flotante se resta en lugar de sumarse al voltaje compuerta-fuente de los transistores M_1 y M_2 . Así, el voltaje mínimo en el nodo de compuerta de los transistores M_{c1} y M_{c2} se reduce de $2V_{Tn}+3V_{sat}$ a aproximadamente $V_{sat}+|V_{TP}|-V_{Tn}$, donde V_{TP} es el voltaje de umbral de los transistores PMOS y $V_{sat}=V_{GS,M1}-V_{Tn(TP)}$. Nótese que el espejo N_{3a} posee dos salidas (denotadas como I_x). A una de estas corrientes se le invierte el signo para obtener la corriente de entrada complementaria requerida por el espejo programable. Además, las salidas complementarias de P_b se restan para obtener una corriente de salida en modo simple.

El circuito de la Figura 5(c) fue diseñado y simulado en HSPICE con una tecnología ON semiconductor de $0.5\mu\text{m}$, un voltaje de alimentación de 1.5V , capacitores $C=0.1\text{pF}$, una corriente de polarización $I_{bias}=5\mu\text{A}$ y el elemento altamente resistivo de la Figura 1(e). El ajuste de la altura se realizó mediante V_{ref} en pasos de 25mV de 1V a 1.3V (Figura 5(d)). La posición horizontal se ajustó mediante variaciones de 12.5mV de V_{aux} , de 1.05V a 1.2V (Figura 5(e)). La pendiente se ajustó mediante pasos de 50mV en ΔV_{tune} , de -0.5V a 0.15V (Figura 5(f)). El ajuste del grado de saturación se realizó con variaciones de 10mV en V_{sat} , de 1V a 1.1V (Figura 5(g)). Se observa en todos los casos un control aproximadamente lineal (Figuras 5(h) y Figuras 5(i)). El consumo de potencia estático fue de $272\mu\text{W}$.

7 Conclusiones

Este trabajo representa bloques de procesamiento analógico que pretenden significarse como una primera aproximación para la formalización de un nuevo paradigma de diseño de circuitos integrados a partir de elementos altamente resistivos de amplio rango de sintonización. Los circuitos que se han presentado validan las ventajas que se obtienen con esta estrategia en términos de capacidad de sintonización, consumo de potencia, requisitos de área de silicio, esfuerzo de diseño, reducción de componentes de offset, ruido y distorsión y

optimización del compromiso exactitud-velocidad-potencia. Los beneficios inmediatos se pueden traducir en términos de reducción de costos, incremento en la fiabilidad y la posible implementación analógica de estructuras típicamente reservadas al cómputo digital, tales como redes neuronales o sistemas difusos.

Se ha propuesto un amplificador compensado en offset. La técnica de compensación es fácil de implementar y presentan características cercanas a las ideales, entre las que se encuentran: operación en tiempo continuo, requerimientos muy bajos de área y potencia, reducción del ruido de baja frecuencia, reducción de la distorsión, preservación del ancho de banda y compensación dinámica del offset. Esta técnica escala con el desarrollo de la tecnología CMOS y es compatibles con las técnicas de diseño en bajo voltaje. Además, no requieren de etapas de calibración posteriores a la fabricación, lo que reduce los costos de producción, permite su uso en sistemas VLSI. Se remite al lector a la tabla comparativa presentada en [15] para un análisis más detallado.

También se propuso el uso de QIR como resistencias controladas por voltaje para implementar filtros programables con rangos de sintonización de hasta siete décadas, por lo que pueden utilizarse en aplicaciones desde la banda ELF hasta la banda MF. También pueden emplearse en sistemas de audio o sistemas de procesamiento de señales biomédicas. Estos filtros presentan requerimientos de silicio muy por debajo de los correspondientes a las alternativas disponibles en el correspondiente estado del arte. Por ejemplo, en [25] se presentó un filtro con dos hertz de rango de sintonización que requiere de un área 50 veces mayor a la del filtro presentado en la Sección 4. Para una comparación más detallada con el respectivo estado del arte se remite al lector a la referencia [15].

También se presentó un generador de funciones de bajo voltaje, programable en modo voltaje, diseñado a partir de un espejo de corriente programable. El circuito propuesto proporciona señales triangulares y/o rectangulares ajustables de forma lineal e independiente y que puede utilizarse para la implementación de sistemas neurodifusos, convertidores de analógico a digital, sistemas

difusos tipo 2, etc. El control lineal, continuo e independiente de todos los parámetros representa una ventaja de este generador con respecto a otras realizaciones en la literatura, permitiendo validar las ventajas de los elementos altamente resistivos como dispositivos de sintonización.

Agradecimientos

Este trabajo ha sido soportado parcialmente por el proyecto 181201 del Consejo Nacional de Ciencia y Tecnología (CONACyT), por el proyecto UPPUE-PTC-047 del Programa de Mejoramiento del Profesorado (PROMEP) y por el proyecto PICCT08-22 del convenio IPN-Instituto de Ciencia y Tecnología del Distrito Federal (ICYTDF).

Referencias

1. **Baturone, I., Barriga, A., Sánchez-Solano, S., Jiménez-Fernández, C.J., & López, D.R. (2000).** *Microelectronic Design of Fuzzy Logic-Based Systems*. Boca Raton, FL : CRC press.
2. **Bikumandla, M., Ramírez-Angulo, J., Urquidí, C., González, R., & López-Martín, A.J. (2004).** Biasing CMOS amplifiers using MOS transistors in subthreshold region. *IEICE Electronics Express*, 1(12), 339–345.
3. **Carvajal, R.G., Ramírez-Angulo, J., Lopez-Martín, A.J., Torralba, A., Galan, J.A.G., Carlosena, A., Chavero, F.M. (2005).** The Flipped Voltage Follower: A Useful Cell for Low-Voltage Low-Power Circuit Design. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 52(7), 1276–1291.
4. **De Lima, J.A. & Dualibe, C. (2001).** A linearly tunable low-voltage CMOS transconductor with improved common-mode stability and its application to g_m -C filters. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 48(7), 649–660.
5. **Dualibe, C., Verleysen, M., & Jespers, P.G.A. (2003).** *Design of analog Fuzzy Logic Controllers in CMOS Technologies: Implementation, Test and Application*. Boston: Kluwer Academic Publishers.
6. **Enz, C.C. & Temes, G.C. (1996).** Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling and chopper stabilization. *Proceedings of the IEEE*, 84(11), 1584–1614.
7. **Hasler, P. & Lande T.S. (2001).** Overview of Floating-Gate Devices, Circuits, and Systems. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 48(1), 1–3.
8. **Huelsman, L.P. & Allen, P.E. (1980).** *Introduction to the theory and design of active filters*. New York: McGraw-Hill.
9. **Kachare, M., Ramírez-Angulo, J., Carvajal, R.G., & Lopez-Martín, A.J. (2005).** New low-voltage fully programmable CMOS triangular/trapezoidal function generator circuit. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 52(10), 2033–2042.
10. **López-Martín, A.J., De La Cruz-Blas, C.A., & Carlosena, A. (2005).** 1.2 V-5 μ w class-AB CMOS log-domain integrator with multidecade tuning. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 52(10), 665–668.
11. **López-Martín, A.J., Ramírez-Angulo, J., Durbha, C., & Carvajal, R.G. (2006).** Highly Linear Programmable Balanced Current Scaling Technique in Moderate Inversion. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 53(4), 283–285.
12. **Manolescu, A. & Popa, C. (2010).** Low-voltage low-power improved linearity CMOS active resistor circuits. *Analog Integrated Circuits and Signal Processing*, 62(3), 373–387.
13. **Muñiz-Montero, C. (2008).** *New strategies for offset compensation in analog building blocks*. PhD Thesis. Instituto Nacional de Astrofísica Óptica y Electrónica, Tonantzintla, Puebla, Mexico.
14. **Muñiz-Montero, C., Díaz-Sánchez, A., & González-Carvajal, R. (2007).** A very compact KHN filter with multidecade tuning. *18th European Conference on Circuit Theory and Design (ECCTD 2007)*, Seville, Spain. 44–47.
15. **Muñiz-Montero, C., González, R., Díaz-Sánchez, A., & Rocha-Pérez, J.M. (2007).** New strategies to improve offset and the speed-accuracy-power tradeoff in CMOS amplifiers. *Analog Integrated Circuits and Signal Processing*, 53(2-3), 81–95.
16. **Muñiz, C., Díaz, A., & González, R. (2006).** Offset Compensation using Unbalanced polarization. *IEEE International Symposium on Circuits and Systems*, Island of Kos, Greece, 1871–1874.
17. **Muñoz, F., Torralba, A., Carvajal, R.G., Tombs, J., & Ramírez-Angulo, J. (2001).** Floating-gate based tunable CMOS low-voltage linear transconductor and its application to HF g_m -C filter design. *IEEE Transactions on Circuits and*

- Systems-II: Analog and Digital Signal Processing*, 48(1), 106–110.
18. **Ozalevli, E. & Hasler, P.E. (2008).** Tunable highly linear floating-gate CMOS resistor using common-mode linearization techniques. *IEEE Transactions on Circuits and Systems I: Regular papers*, 55(4), 999–1010.
 19. **Pelgrom, M.J.M., Duinmaijer, A.C.J., & Welbers, A.P.G. (1989).** Matching Properties of MOS Transistors. *IEEE Journal of Solid-State Circuits*, 24(5), 1433–1439.
 20. **Peng, S.Y., Qureshi, M.S., Hasler, P.E., Basu, A., & Degertekin, F.L. (2008).** A Charge-Based Low-Power High-SNR Capacitive Sensing Interface Circuit. *IEEE Transactions on Circuits and Systems-I: Regular papers*, 55(7), 1863–1872.
 21. **Ramírez-Angulo, J., López-Martín A.J., Carvajal R.G., & Chavero, F.M. (2004).** Very low-voltage analog signal processing based on quasi-floating gate transistors. *IEEE Journal of Solid-State Circuits*, 39(3), 434–442.
 22. **Ramírez-Angulo, J., Urquidi, C.A., González-Carvajal, R., Torralva, A., & López-Martín, A. (2003).** A new family of very low-voltage analog circuits based on quasi-floating-gate transistors. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 50(5), 214–220.
 23. **Ramirez-Angulo, J., Garimella, A., Kalyani-Garimella, L.M., Sawant, M., Lopez-Martin, A., & Carvajal, R.G. (2007).** Low voltage gain boosting schemes for one stage operational amplifiers. *18th European Conference on Circuit Theory and Design (ECCTD 2007)*, Seville, Spain, 531–534.
 24. **Seo, I. & Fox, R.M. (2006).** Comparison of quasi-/pseudo-floating gate techniques and low-voltage applications. *Analog Integrated Circuits and Signal Processing*, 47(2), 183–192.
 25. **Solis-Bustos, S., Silva-Martinez, J., Maloberti, F., & Sánchez-Sinencio, E. (2000).** A 60-db dynamic-range CMOS sixth-order 2.4 Hz low-pass filter for medical applications. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 47(12), 1391–1398.
 26. **Srinivasan, V., Serrano, G.J., Gray, J., & Hasler, P. (2007).** A Precision CMOS Amplifier Using Floating-Gate Transistors for Offset Cancellation. *IEEE Journal of Solid-State Circuits*, 42(2), 280–291.
 27. **Steyaert, M., Peluso, V., Bastos, J., Kinget, P., & Sansen, W. (1997).** Custom analog low power design: the problem of low voltage and mismatch. *IEEE 1997 Custom Integrated Circuits Conference*, Santa Clara, CA, USA, 285–292.
 28. **Tajalli, A., Leblebici, Y., & Brauer, E.J. (2008).** Implementing ultra-high-value floating tunable CMOS resistors. *Electronics Letters*, 44(5), 349–350.
 29. **Torralba, A., Luján-Martínez, C., Carvajal, R.G., Galan, J., Pennisi, M., Ramirez-Angulo, J., & López-Martín, A. (2009).** Tunable linear MOS resistors using quasi-floating-gate techniques. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 56(1), 41–45.
 30. **Witte, J.F., Makinwa, K.A.A., & Huijsing, J.H. (2007).** A CMOS Chopper Offset Stabilized Opamp. *IEEE Journal of Solid-State Circuits*, 42(7), 1529–1535.



Carlos Muñiz-Montero es Doctor y Maestro en Ciencias por el Instituto Nacional de Astrofísica Óptica y Electrónica, INAOE (2008 y 2003, respectivamente). En 2008 y 2010 realizó estancias postdoctorales en el Centro de Investigación en Dispositivos Semiconductores de la BUAP y en el CIC-IPN, donde trabajó con sistemas de acoplamiento para estructuras BioMEMS y circuitos para lógica difusa, respectivamente. De 2011 a Mayo de 2013 se desempeñó como investigador en el CIC-IPN. Desde entonces es profesor-investigador de la Universidad Politécnica de Puebla. Sus intereses de investigación incluyen diseño de circuitos integrados de alto desempeño, sistemas neurodifusos, sensores inteligentes y circuitos integrados de radio frecuencia. El Dr. Muñiz es miembro del S.N.I. Nivel C.



Luis Abraham Sánchez-Gaspariano es Doctor y Maestro en Ciencias por el Instituto Nacional de Astrofísica Óptica y Electrónica, INAOE (20011 y 2005, respectivamente). En 2009 fue estudiante visitante en el grupo ICD de la Universidad de Twente, en Holanda. Desde 2011 es profesor-investigador de la Universidad Politécnica de Puebla. Sus intereses de investigación incluyen diseño de circuitos integrados analógicos, de modo mixto y de radio

frecuencia. El Dr. Sánchez es miembro del S.N.I. Nivel C.



Victor Hugo Ponce-Ponce es Doctor y Maestro en Ciencias por el CINVESTAV-IPN (2005 y 1994, respectivamente). En 2007 realizó una estancia sabática

en la École Polytechnique de Montréal, Canadá, donde trabajó en el diseño de sensores de imágenes. Desde 1995 es profesor investigador del CIC-IPN. Sus intereses de investigación incluyen diseño de circuitos integrados de señal mixta, sistemas neurodifusos, MEMS y sensores de imágenes. El Dr. Ponce es miembro del S.N.I. Nivel C.



María Elena Aguilar-Jáuregui es candidata a Doctor en Ciencias por la Universidad Politécnica de Cataluña (UPC) y Maestra en Ciencias por el CIC-IPN (2000). Ha trabajado como investigador en el Centro de Investigación Tecnológica en Computación CINTEC (1994-1998) y en el CIC-IPN (1999 a la fecha). Sus intereses de investigación incluyen: Evaluación y Diseño de Sistemas de Control, Diseño Digital usando Lenguajes de Descripción de hardware HDL y Sistemas Operativos Embebidos.



Osvaldo Espinosa-Sosa es candidato a Doctor en Ciencias de la Computación por el CIC-IPN. Sus áreas de interés son: Arquitectura de computadoras, Seguridad en hardware y diseño digital HDL.

Artículo recibido el 30/11/2010; aceptado el 16/01/2013.